

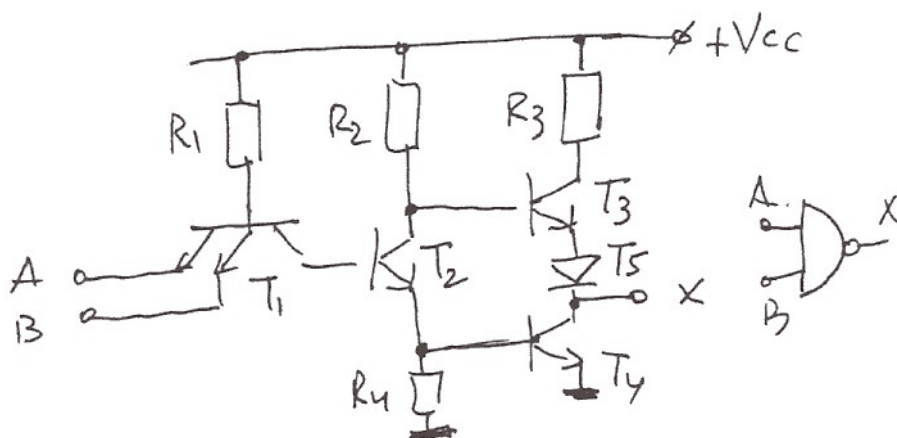
Capitolul 2 Circuite logice cu tranzistoare bipolare

2.7. Circuite logice din familia TTL

- prezentare generală:
 - tranzistoare în saturație;
 - familie cu subfamilii;
- se analizează structura standard.

2.7.1. Caracteristici statice ale porții TTL standard

* schema standard:



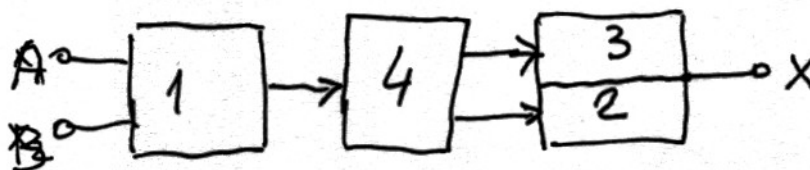
* valori tipice pentru elementele de circuit:

$$R_1 = 4k\Omega; R_2 = 1,6k\Omega; R_3 = 130\Omega; R_4 = 1k\Omega; V_{CC} = 5V;$$

* elementele active (diodele și tranzistoarele) sunt caracterizate prin:

$$V_{BE0} = V_{D0} = 0,6V; V_{BE} = V_D = 0,8V; \beta_0 = 40; V_{CEsat} = 0 \div 0,2V.$$

* funcționare după schema bloc:



- 1 – circuitul care realizează logica: tranzistor multiemitor;
- 2+3 – etaj de ieșire de tip stâlp totemic cu tranzistorul T_4 inversor (2) și cu tranzistorul T_3 repetor pe emitor (3);
- 4 – separator de fază cu tranzistorul T_2 , cu sarcină în colector și în emitor pentru a comanda în antifază cele două etaje ale stâlpului totemic;
- dioda D (T_5), realizată cu un tranzistor cu scurt circuit între colector și bază este necesară pentru blocarea lui T_3 atunci când T_4 este saturat;

$$v_{BE}(T_3) + V_{D0} + V_{CEsat}(T_4) = V_{CEsat}(T_2) + V_{BE}(T_4) \Rightarrow v_{BE}(T_3) < V_{BE0}.$$

* funcționare:

- dacă ambele intrări sunt la UNU logic, tranzistorul T_1 are joncțiunile E-B blocate, se deschide în RAI și asigură curent de bază pentru T_2 care se saturează; curentul său de emitor saturează pe T_4 și asigură tensiune mică la ieșire (V_{CEsat}), adică nivel logic ZERO; T_3 este blocat cu ajutorul diodei D ;

- dacă cel puțin una dintre intrări este la ZERO logic (tensiune mică), joncțiunea E-B a tranzistorului T_1 este în conducție, T_1 se saturează și determină un potențial mic pe baza lui T_2 blocându-l; se blochează și T_4 iar T_3 este deschis și asigură tensiune mare la ieșire, nivel logic UNU;

- funcția logică realizată este ȘI-NU (NAND).

* condiția de saturare a tranzistoarelor T_1 , T_2 și T_3 (atunci când conduc);

- T_1 se saturează ușor deoarece curentul său de colector este foarte mic (curentul de intrare în T_2 blocat); curentul de bază este $i_{B1} = \frac{V_{CC} - V_{BE}(T_1)}{R_1}$,

practic egal cu curentul său de emitor; din această cauză, tensiunea $V_{CEsat}(T_1)$ este foarte mică, practic neglijabilă, cele două joncțiuni asigurând, practic, același curent);

- pentru T_2 se verifică relația: $i_{B2} > i_{Bsi2}$ cu:

$$i_{B2} = \frac{V_{CC} - V_{BC}(T_1) - V_{BE}(T_2) - V_{BE}(T_4)}{R_1} \cong \frac{5 - 0,8 - 0,8 - 0,8}{4} \cong 0,65mA;$$

$$i_{Bsi2} = \frac{1}{\beta_0} i_{Csat2} = \frac{1}{\beta_0} \frac{V_{CC} - V_{CEsat}(T_2) - V_{BE}(T_4)}{R_2} \cong \frac{1}{40} \frac{5 - 0,2 - 0,8}{1,6} \cong 0,062mA$$

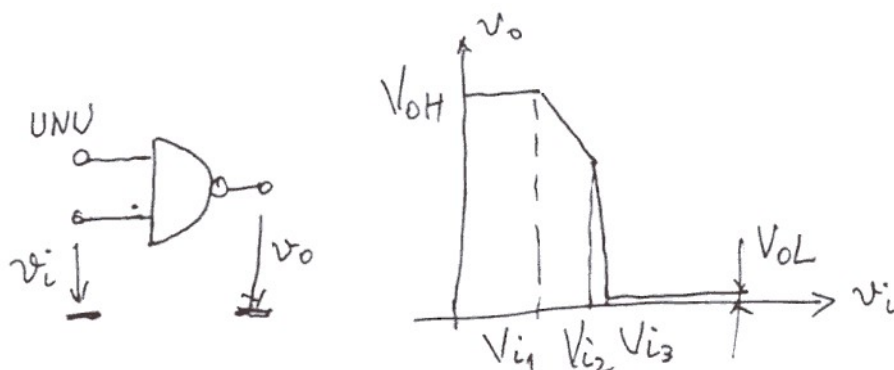
- pentru T_4 se verifică relația: $i_{B4} > i_{Bsi4}$ cu:

$$\begin{aligned} i_{B4} &= i_{E2} - \frac{V_{BE}(T_4)}{R_4} = i_{B2} + i_{Csat2} - \frac{V_{BE}(T_4)}{R_4} = \\ &= \frac{V_{CC} - V_{BC}(T_1) - V_{BE}(T_2) - V_{BE}(T_4)}{R_1} + \frac{V_{CC} - V_{CEsat}(T_2) - V_{BE}(T_4)}{R_2} - \\ &- \frac{V_{BE}(T_4)}{R_4} = \frac{5 - 0,8 - 0,8 - 0,8}{4} + \frac{5 - 0,2 - 0,8}{1,6} - \frac{0,8}{1} \cong 2,35mA \end{aligned}$$

$$i_{Bsi4} = \frac{1}{\beta_0} i_{Csat4} \leq \frac{1}{\beta_0} N_{\max} I_{il\max} = \frac{1}{40} 10 \cdot 1,6 = 0,4mA.$$

($N_{\max}$ este numărul maxim de circuite identice pe care le poate comanda circuitul iar $I_{iL \max}$ este valoarea maximă a curentului de intrare al circuitului standard în starea logică ZERO).

2.7.1.1. caracteristica de transfer: $v_o(v_i)$



* o intrare la UNV logic, pe cealaltă se aplică tensiune între 0 și V_{CC} .

- $v_i = 0$, T_1 saturat, T_2 blocat, T_4 blocat, tensiunea de ieșire este dată de T_3 (în RAN, pentru că are curent mic de colector) și circuitul său:

$v_o = V_{oH} = V_{CC} - R_2 i_{B3} - V_{BE0}(T_3) - V_{D0}$ cu valori de $3,8 \div 4,1V$ în funcție de curentul de sarcină;

- în condițiile de funcționare cele mai defavorabile (dispersia de fabricație, îmbătrânirea, variațiile tensiunii de alimentare, variația temperaturii ambiante, sarcina), se garantează: $V_{oH} > V_{oH \min} = 2,4V$.

- $0 \leq v_i \leq V_{i1}$, $v_o = V_{oH}$; V_{i1} este tensiunea la care se deschide T_2 :

$$V_{i1} = V_{BE0}(T_2) - V_{CEsat}(T_1) \cong 0,6V.$$

- $V_{i1} \leq v_i \leq V_{i2} \Rightarrow T_2$ se deschide în RAN, T_3 funcționează ca repetor pe emitor și tensiunea de ieșire scade cu panta dată de raportul rezistențelor din colectorul și emitorul lui T_2 : $-\frac{R_2}{R_4} = -1,6$; V_{i2} este tensiunea la care se

deschide T_4 :

$$V_{i2} = V_{BE}(T_2) + V_{BE0}(T_4) - V_{CEsat}(T_1) \cong 1,4V.$$

- $V_{i2} \leq v_i \leq V_{i3} \Rightarrow T_2$ este tot în RAN dar se deschide T_4 și tensiunea din colectorul lui T_2 scade repede, acesta se saturează și-l blochează pe T_3 ; tensiunea de ieșire scade cu o pantă mare până la valoarea tensiunii de saturație a lui T_4 ; V_{i3} este tensiunea la care se saturează T_2 și T_4 :

$$V_{i3} = V_{BE}(T_2) + V_{BE}(T_4) - V_{CEsat}(T_1) \cong 1,6V.$$

- $V_{i3} \leq v_i \leq V_{CC}$, circuitul este în starea logică ZERO la ieșire cu T_4 saturat: $v_o = V_{oL} = V_{CEsat}(T_4) \cong 0,1V$ (valoare mică dar dependentă de sarcină și de temperatură);

- în condițiile de funcționare cele mai defavorabile se garantează:

$$V_{oL} < V_{oL \max} = 0,4V;$$

* nivelele logice: $V_{oH} > V_{oH \min} = 2,4V$; $V_{oL} < V_{oL \max} = 0,4V$;

* tensiunile de intrare pentru care se garantează stări logice bine definite la ieșire (în condițiile de funcționare reale cele mai defavorabile:

$$- v_i < V_{i1} < V_{i1 \min} = 0,8V \Rightarrow v_o = V_{oH};$$

$$- v_i > V_{i3} > V_{i3 \max} = 2V \Rightarrow v_o = V_{oL};$$

* marginile de zgomot statice:

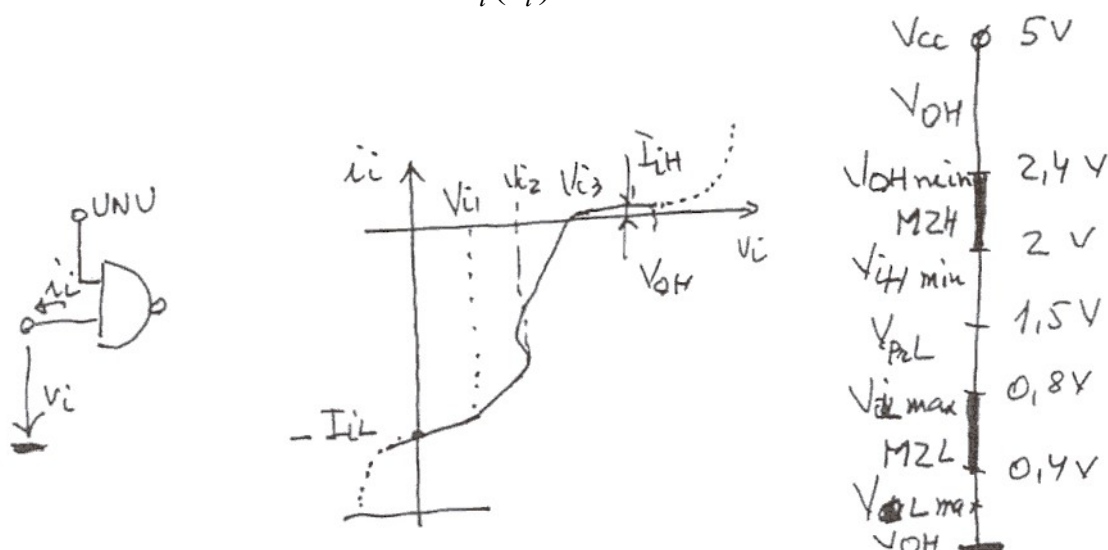
$$MZL = V_{i1 \min} - V_{oL \max} = 0,8 - 0,4 = 0,4V;$$

$$MZH = V_{oH \min} - V_{i3 \max} = 2,4 - 2 = 0,4V;$$

(la stabilirea acestor valori contribuie și comportarea în regim tranzitoriu)

* tensiunea de prag logic, V_{prL} este cuprinsă între V_{i2} și V_{i3} și se poate considera că are valoarea: $V_{prL} \cong 1,5V$.

2.7.1.2. caracteristica de intrare: $i_i(v_i)$



- profund neliniară;

* $v_i = 0 \rightarrow i_i = -I_{iL}$; $I_{iL} = i_{B1} + i_{C2} \rightarrow I_{iL} \cong \frac{V_{CC} - V_{BE}}{R_1} = 1,05mA$;

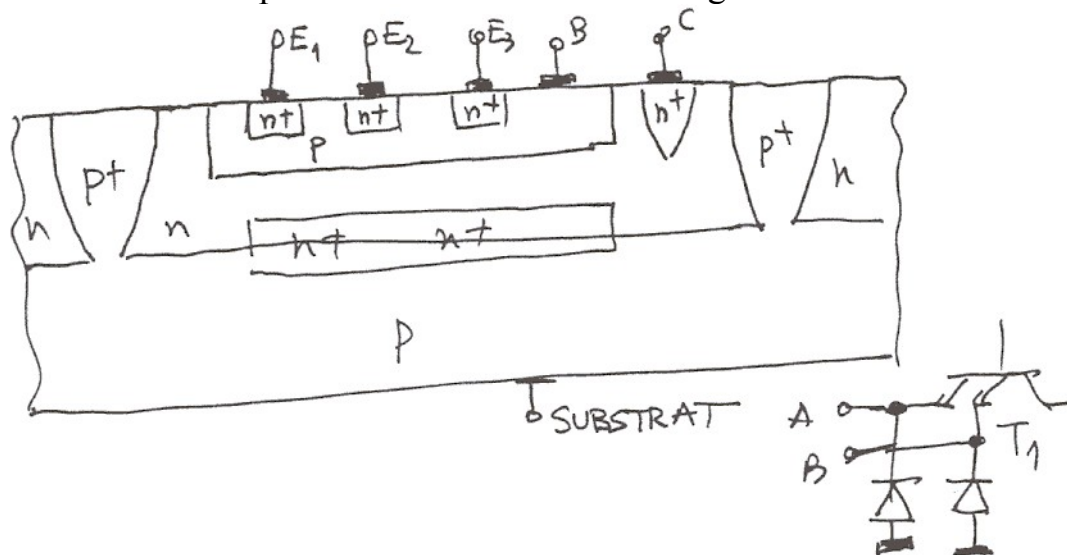
- se garantează: $I_{iL} < I_{iL \max} = 1,6mA$, în condițiile de funcționare reale cele mai defavorabile;

* $0 < v_i < V_{i1}$; (până la deschiderea lui T_2):

$$i_i = -\frac{V_{CC} - V_{BE} - v_i}{R_1} = -I_{iL} + \frac{v_i}{R_1}; \text{ panta este dată de } R_1;$$

- * $V_{i1} < v_i < V_{i2}$ (până la deschiderea lui T_4) panta este dată de $R_1 \parallel (\beta_0 + 1)R_2$;
- * $V_{i2} < v_i < V_{i3}$ (până la suturarea lui T_4) se constată și o zonă de rezistență negativă; explicații: reacția pozitivă din circuit, dependentă și de sarcină sau prin caracteristica de intrare a circuitului);
- * $v_i = V_{i3}$, curentul de intrare se anulează;
- * $V_{i3} < v_i < V_{CC}$, curentul de intrare este I_{iH} cu 3 componente:
 - $I'_{iH} = \beta_i i'_{B1}$; curentul tranzistorului T_1 , conectat invers, de ordinul μA ;
 - $I''_{iH} = \beta_l i''_{B1}$; curentul tranzistorului lateral, format cu emitoarele vecine care pot fi conectate la nivel logic ZERO, de ordinul μA ;
 (factorii de curent β_i, β_l depind de parametri fizici, tehnologici și geometrici ai tranzistoarelor și au valori de $10^{-4} \div 10^{-2}$);
 - I'''_{iH} , curentul de saturație al diodelor de evitare a reflexiilor, foarte mic.
- * Rezultă $I_{iH} = 10 \mu A$ și se garantează: $I_{iH} < I_{iH \max} = 40 \mu A$.

Observație: de ce apar reflexii – cum se micșorează efectul lor – diode de evitare a reflexiilor realizate pe toate intrările de circuite logice TTL:



- * $v_i < 0$, curentul de intrare crește foarte mult; cauze posibile:
 - se deschid diodele de evitare a reflexiilor;
 - crește curentul direct prin joncțiunea E-B alui T_1 ;
 - din cauza diodei colector substrat a tranzistorului T_1 care funcționează ca un circuit limitator, la scăderea tensiunii pe emitorul său, tensiunea pe

colector rămâne fixată de dioda colector-substrat și T_1 intră în RAN ceea ce duce la creșterea curentului său de emitor;

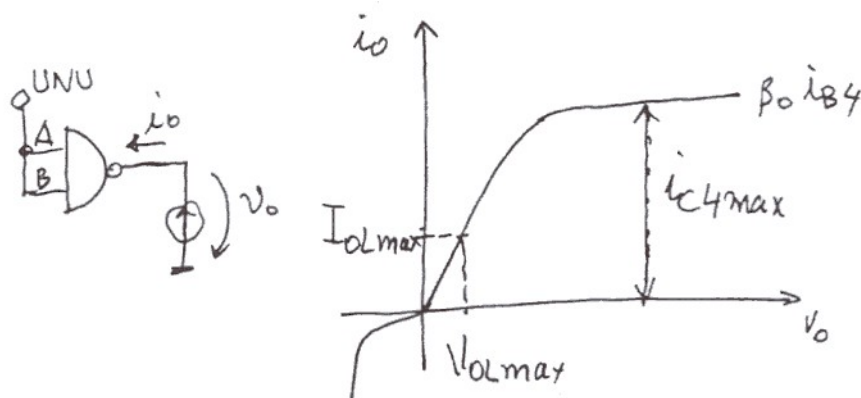
- se impune: $v_i > V_{i\max} = 0$.

* $v_i > V_{Cc} = 5V$, curentul de intrare crește foarte mult; cauze posibile:

- se poate străpunge joncțiunea E-B a tranzistorului T_1 ;
- se poate străpunge dioda de evitare a reflexiilor de pe intrare;
- poate să apară străpungere între două emitoare;
- se impune $v_i < V_{i\max} = 5,5V$ (foarte restrictiv).

2.7.1.3. *caracteristicile de ieșire* – se definesc pentru cele două stări la ieșire:

a) ambele intrări la UNU logic, la ieșire ZERO logic, tranzistorul T_4 în conducție iar tranzistorul T_3 blocat:



* se obține caracteristica de ieșire a unui TBIP cu un curent de bază de valoare: $i_{B4} = 2,34mA$, calculat anterior; rezultă:

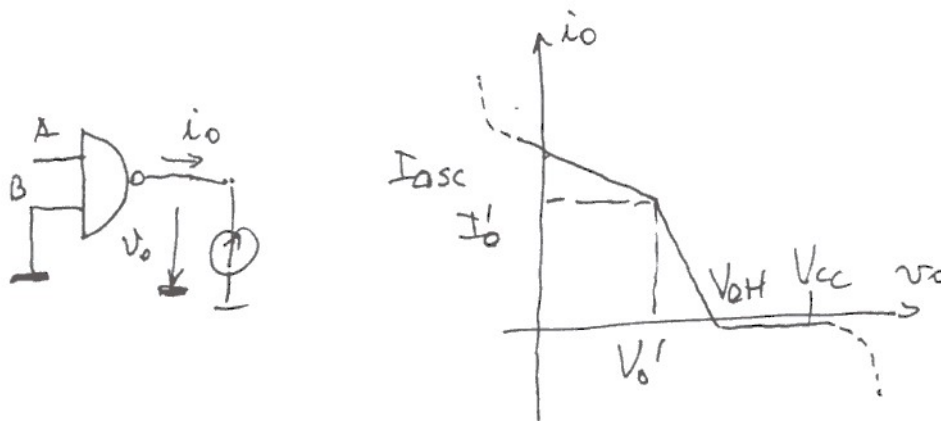
- $i_{C4\max} = \beta_0 i_{B4} \cong 94mA$ (foarte mare) și putere disipată foarte mare, se va evita scurt circuit la tensiunea de alimentare în starea logică ZERO la ieșire;

- din condiția $V_{oL} = V_{CEsat} + r_{Csat} I_{oL} < V_{oL\max}$, rezultă:

$$I_{oL} < I_{oL\max} = 16mA;$$

* rezistența de ieșire dinamică va fi: $r_{oL} = r_{Csat} \cong 10\Omega$;

b) cel puțin o intrare la ZERO logic, la ieșire UNU logic, tranzistorul T_4 blocat, tranzistorul T_3 în conducție; caracteristica de ieșire are două zone după starea de conducție a lui T_3 :



- T_3 saturat: se definește curentul de scurt circuit:

$$I_{osc} = \frac{V_{CC} - V_{CEsat}(T_3) - V_D}{R_3} + \frac{V_{CC} - V_{BE}(T_3) - V_D}{R_2} \cong 33mA$$

$$i_o = \frac{V_{CC} - V_{CEsat}(T_3) - V_D - v_o}{R_3} + \frac{V_{CC} - V_{BE}(T_3) - V_D - v_o}{R_2} = I_{osc} - \frac{v_o}{R_3 \parallel R_2}$$

cu panta dată de: $r'_{oH} = R_3 \parallel R_2 \cong 120\Omega$ (mai sunt și alte componente mai mici);

- T_3 în RAN:

$$i_o = (\beta_0 + 1) \frac{V_{CC} - V_{BE}(T_3) - V_D - v_o}{R_2};$$

cu panta dată de: $r''_{oH} = \frac{R_2}{\beta_0 + 1}$ (mai sunt și alte componente mai mici dar este mai mică decât r'_{oH}).

- din condiția: $V_{oH} > V_{oH \min}$; rezultă: $I_{oH} < I_{oH \max} = 400\mu A$.

- uneori, se precizează: $I_{oH} < I_{oH \max} = 800\mu A$

* trecerea de la o pantă la alta se face atunci când este îndeplinită condiția:

$$\beta_0 \frac{I'_0}{\beta_0 + 1} R_3 + V_{CEsat}(T_3) = \frac{I'_0}{\beta_0 + 1} R_2 + V_{BE}(T_3) \text{ și rezultă:}$$

$$V'_0 = V_{CC} - R_3 \frac{I'_0}{\beta_0 + 1} - V_{BE}(T_3) \text{ (cu valori dependente de } \beta_0 \text{ și de sarcină);}$$

* capacitatea de încărcare statică maximă se deduce din condiția:

$$N_{\max} \leq \left[\frac{I_{oL \max}}{I_{iL \max}}, \frac{I_{oH \max}}{I_{iH \max}} \right] = 10;$$

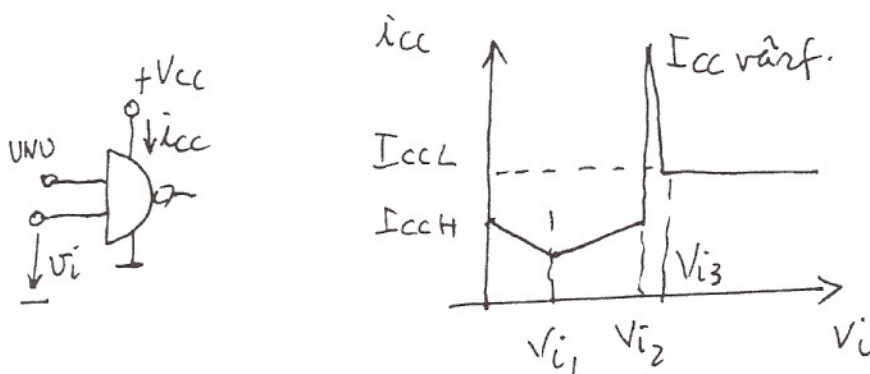
- încărcări diferite pe cele două stări logice;

- bilanțul curenților în cele două stări (dacă nu sunt sarcini identice).

2.7.1.4 caracteristica de alimentare:

* tensiunea de alimentare: $V_{CC} = 5V \pm 5\%$, dar, accidental, $V_{CC} < 7V$.

- caracteristica de alimentare: $i_{CC}(v_i)$:



$$-I_{CCH} = \frac{V_{CC} - V_{BE}(T_1)}{R_1} \cong 1,05mA \text{ (fără sarcină);}$$

$$I_{CCL} = \frac{V_{CC} - V_{BC}(T_1) - V_{BE}(T_2) - V_{BE}(T_4)}{R_1} + \frac{V_{CC} - V_{CEsat}(T_2) - V_{BE}(T_4)}{R_2} \cong 3,2mA;$$

* rezultă: $I_{CC} \cong 2mA$; $P_d = V_{CC}I_{CC} = 10mW$. – un parametru important.

* puterea disipată crește cu frecvența – sunt mai multe cauze.

* caracteristica de alimentare: $i_{CC}(v_i)$:

$$- 0 < v_i < V_{i1} : i_{CC} = I_{CCH} - \frac{v_i}{R_1};$$

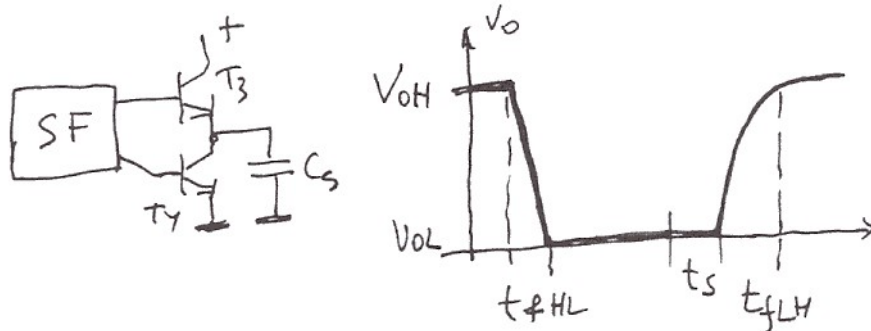
$$- V_{i1} < v_i < V_{i2} : \text{se adaugă curentul prin } T_2;$$

- $v_i \in (V_{i2}, V_{i3})$: vârf de curent de alimentare, toate tranzistoarele sunt deschise și cel mai mult contează curentul prin stâlpul totemic de la ieșire; valoarea maximă este de circa $35mA$.

$$- V_{i3} < v_i < V_{CC} : i_{CC} = I_{CCL}.$$

2.7.2. Regimul tranzitoriu al porții TTL standard

- parametru principal; timpul de propagare este $t_p = 10ns$ iar fronturile au același ordin de mărime (dar $t_{pHL} < t_{pLH}$);
- elementul esențial este stâlpul totemic de la ieșire:



* comutarea directă:

$$t_{fHL} = \frac{(V_{oH} - V_{oL})C_s}{\beta_0(T_4)i_B(T_4)}; \quad t_{fHL} \downarrow \text{ pentru că } i_{B4} \text{ este mare};$$

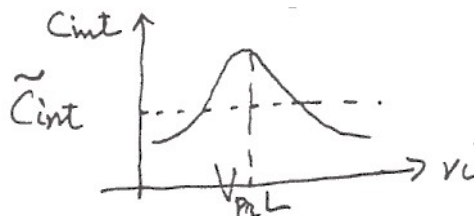
* comutarea inversă:

- timpul de stocare (ca la orice inversor);
- $t_{fLH} \cong 2,3C_s r_{ies}(T_3)$ unde $r_{ies}(T_3) = r'_{oH}$ sau r''_{oH} (repetor sau saturat).

* aspecte calitative:

- capacitatea de sarcină: cu componentele:
 - $N \cdot C_b$ a diodelor de evitare a reflexiilor din circuitele comandate;
 - $N \cdot \tilde{C}_{int}$, capacitatea tranzistoarelor multiemitor comandate,

neliniară, cu valoare medie de $2,5 \div 3,5 pF$, pentru o intrare;



- capacitățile conexiunilor, neliniare, distribuite, circa $1 \div 3 pF$;
- capacitatea de ieșire a porții de comandă, neliniară, distribuită, cu valoare tipică de $7 pF$;
- valoarea totală a capacității de sarcină: $C_s \cong 25 \div 40 pF$.

* contribuția elementelor schemei electrice după modul de comandă a tranzistoarelor:

- T_1 este în conexiune bază la masă, deci comutare rapidă;

- T_2 - comutarea directă $\rightarrow$ curent de bază mare;

- comutarea inversă - curentul de bază va fi;

$$i_{B0}(T_2) = i_C(T_1) = \beta_0(T_1)i_B(T_1) = \beta_0(T_1) \frac{V_{CC} - V_{oL} - V_{BE1}}{R_1};$$

- blocarea rapidă a lui T_2 limitează curentul de resorbție al tranzistorului

$$T_4 \text{ la valoarea: } i_{B0}(T_4) = \frac{V_{BE}}{R_4} = 0,8 \text{ mA} \Rightarrow t_{s4} \text{ mare};$$

- timpul de stocare T_4 :

$$t_{s4} = \tau_s \ln \frac{i_B(T_4) + i_{B0}(T_4)}{i_{Bsi}(T_4) + i_{B0}(T_4)} \text{ de valoare mare (zeci de ns) deoarece:}$$

- $i_B(T_4)$ este mare;

- $i_{Bsi}(T_4)$ depinde puternic de sarcină și de $\beta_0(T_4)$;

- $i_{B0}(T_4)$ este relativ mic;

observație: pe durata timpului de stocare al lui T_4 apare vârful de curent pe sursa de alimentare de valoare foarte mare (circa 35 mA).

- comutarea directă a lui T_4 este rapidă deoarece $i_B(T_4)$ este mare;

- T_3 comută repede fiind comandat cu curenți mari.

* influența elementelor extrinseci (capacitățile de barieră, capacitățile diodelor și tranzistoarelor parazite, capacitățile conexiunilor) depinde de rezistențele echivalente cu care formează constantele de timp; mai importante:

- constanta de timp echivalentă din colectorul lui T_3 ;

- constanta de timp echivalentă din baza lui T_3 ;