

CALCULATOARE NUMERICE 2

Conf. dr. ing. Decebal Popescu

decebal.popescu@cti.pub.ro

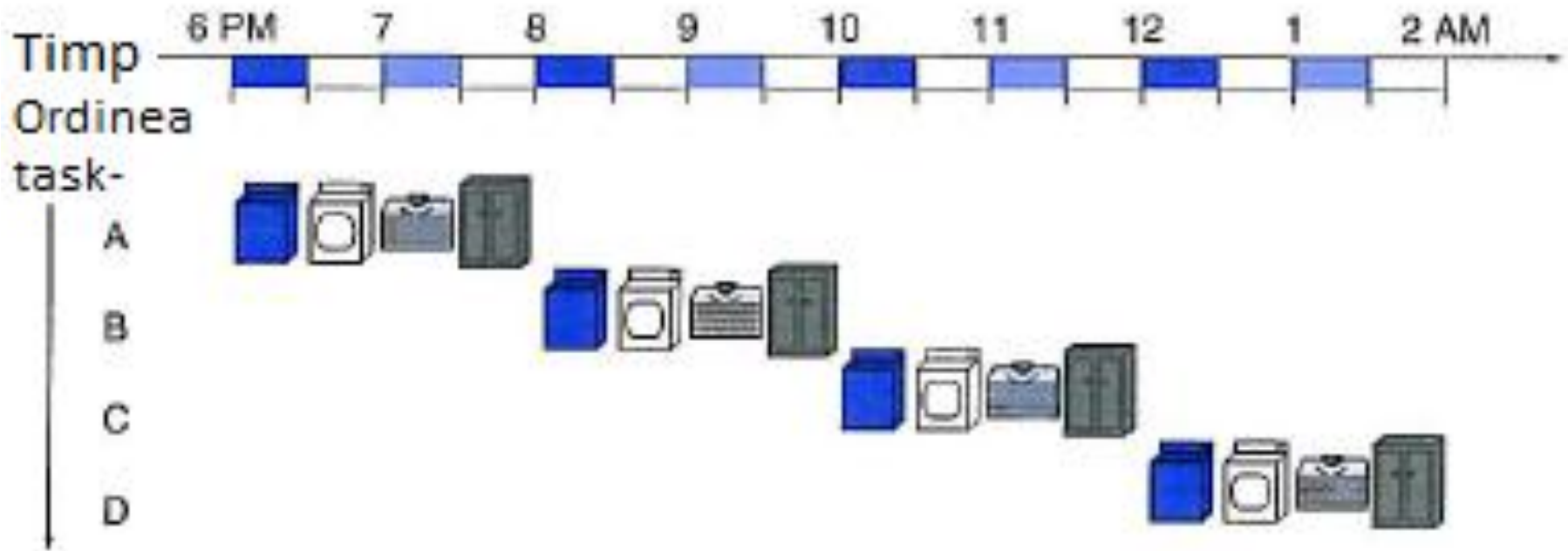
Pipeline – banda de asamblare

- Banda de asamblare este o tehnică în care mai multe instrucțiuni sunt executate simultan.
- Se utilizează intens în procesoarele moderne: AMD Opteron X4 (Barcelona) sau în procesoarele Intel.

Exemplu

- Un ciclu de spălare pentru rufe versiunea non-pipe:
 - Introducerea rufelor în mașina de spălat
 - După terminarea ciclului de spălare, se introduc rufele în uscator
 - Rufele uscate se calcă
 - Rufele călcate se pun într-un loc pentru utilizarea lor viitoare
 - Se repornește cu ciclul de spălare

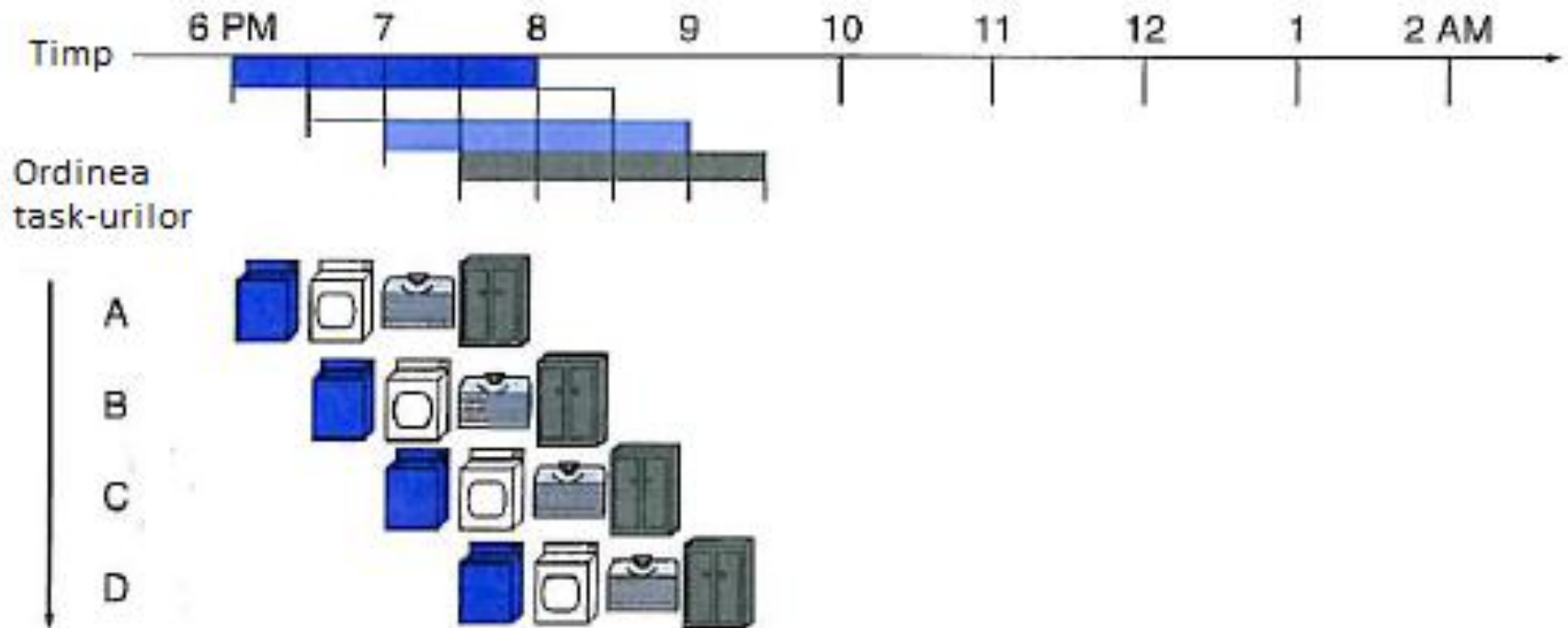
Cât timp este necesar pentru un ciclu de spălare ?



Versiunea bandă de asamblare

- După terminarea primului ciclu de spălare și încărcarea uscatorului cu rufe, se poate iniția un nou ciclu de spălare
- Se scot rufele din uscător și se începe procesul de călcare a lor, se mută rufele spălate în uscător și se pune o nouă încărcătură în mașina de spălat
- Se pun rufele la loc sigur și se continuă procesul

Cât timp durează versiunea pipeline ?



Observații

- Perioada de ceas alocată fiecărei operații trebuie să fie egală
- Banda de asamblare îmbunătățește throughput-ul sistemului
- Timpul total pentru executarea tuturor task-urilor este mai mic
- Varianta pipeline este de 4 ori mai rapidă decât varianta non-pipe

Banda de asamblare la MIPS

- Pas 1 – Citire instrucțiune din memorie
- Pas 2 – Citirea registrelor cât timp se decodifică instrucțiunea.
- Pas 3 – Execuția operației sau calcularea unei adrese
- Pas 4 – Accesarea unui operand în memoria de date
- Pas 5 – Scrierea rezultatului într-un registru

Exemplu MIPS

- Să se compare rezultatele versiunilor non-pipe și pipe pentru:
 - Acces la memorie 200ps
 - Operație ALU 200ps
 - Citirea unui registru sau scrierea lui 100ps
 - În versiunea single-cycle fiecare instrucțiune va dura exact un ciclu de ceas.

Timpii pentru versiunea fără bandă de asamblare

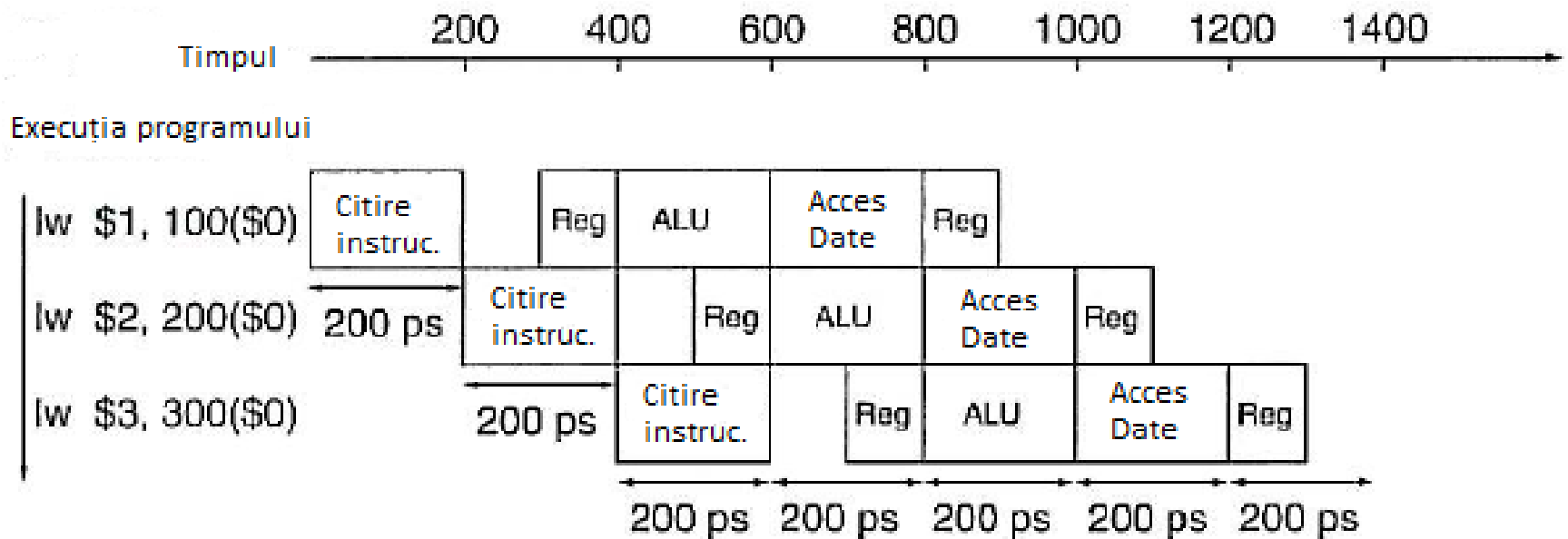
Instrucțiunea	Citire instr.	Citire reg.	Operație ALU	Acces date	Scriere reg.	Timp total
lw	200 ps	100 ps	200 ps	200 ps	100 ps	800 ps
sw	200 ps	100 ps	200 ps	200 ps		700 ps
Add, sub, AND, OR, slt	200 ps	100 ps	200 ps		100 ps	600 ps
beq	200 ps	100 ps	200 ps			500 ps

Formula de calcul

$$\textit{Timpul intre instructiuni}_{pipe} = \frac{\textit{Timpul intre instructiuni}_{non-pipe}}{\textit{Numarul de stagii pipeline}}$$

În cazul ideal creșterea vitezei este egală cu numărul de stagii al benzii de asamblare

Varianta bandă de asamblare



CONCLUZII

- Toate instrucțiunile MIPS au aceeași lungime
- MIPS are doar câteva formate de instrucțiuni care au câmpul – registru sursă – în aceeași poziție pentru fiecare instrucțiune.
- Operanzii în memorie apar doar în instrucțiunile sw
- Operanzii trebuie să fie aliniați în memorie