

## 2.3 INTERFEȚE SPECIALIZATE DE COMUNICAȚIE

Tehnicile de măsurare pot fi implementate la nivel fizic prin blocuri funcționale cu destinație precisă (aparatele de măsurare) sau prin module care pot realiza funcții multiple (eșantionare, conversie, memorare) și a căror selecție este făcută de o unitate centrală (eventual PC). În cazul aparatelor de măsurare numerice, dotarea acestora cu interfețe de comunicație (serială sau paralelă) permite interconectarea lor cu unități de calcul puternice și, deci, lărgirea considerabilă a ariei funcțiilor ce pot fi efectuate de sistemul astfel realizat.

Aparatele numerice memorează datele sub formă de caractere reprezentate adesea pe 8, 16 sau 32 de biți. Biții care formează un caracter se pot transmite la distanță către un alt sistem numeric fie prin transmiterea simultană a câte 8 biți (comunicație paralelă), fie prin transmiterea succesivă a biților care formează un caracter (comunicație serială). În primul caz, se utilizează 8 linii de date și alte linii (conductoare) pentru semnalul de referință (GND) și cele de control al comunicației. În al doilea caz, informația prezentă de obicei sub formă paralelă este apelată de un registru de deplasare paralel-serie, comandat de un semnal de tact, transmisă printr-o singură pereche de conductoare și apoi, la recepție, reconstituită în format paralel prin intermediul registrului de deplasare serie-paralel.

### 2.3.1 COMUNICAȚIA DE TIP SERIAL. PROTOCOALE DE TRANSMISIE SERIALĂ A DATELOR

Interfața serială este un sistem de comunicație numerică introdus ca urmare a necesității de a controla un ansamblu tehnic cu elemente dispersate pe suprafețe mari. PC-urile sunt dotate cu mai multe porturi seriale (de obicei, două), utilizate, în cea mai mare parte, pentru comanda plotter-elor, a imprimantelor seriale și a unor mouse-uri. De asemenea, această interfață este folosită pentru comunicația cu PC-ul și de către dispozitive speciale, cum ar fi programatoarele EPROM și PAL, emulatoarele, controller-ele logice programabile sau anumite interfețe de achiziție de date.

Achiziția datelor se efectuează prin executarea unui program de achiziție de către calculatorul care asigură comanda mijlocului de măsurare, transferul datelor într-un fișier de date și prelucrarea lor imediată sau ulterioară. Denumirea **RS-232** (mai exact, **RS-232C**) corespunde normei americane a interfeței seriale, normă propusă inițial în 1960 și devenită variantă standard în 1969, apoi remodificată în 1987. Denumirea **V24** este o prescurtare a normei franceze (și recomandată CEI). În principiu, ambele norme sunt identice.

În prezent există și module dedicate comunicației seriale performante, cum este **RS-485** (de tip plug-in) pentru care se poate asigura comunicația până

la distanța de 1,2 km, cu o viteză maximă de transfer de 100 kHz .

### 2.3.1.1 INTERFAȚA RS-232

Numeroase aparate utilizează conectarea la calculator prin intermediul interfeței seriale RS-232. Norma clasifică aparatele în două categorii:

1. **DTE** (*Data Terminal Equipments*) – categorie din care fac parte PC-ul, tastatura etc.
- și
2. **DCE** (*Data Communication Equipments*) – modem-urile, aparatele de măsurare etc.

Modul de conectare poate să difere de la un aparat la altul. În principiu, se poate conecta **numai un singur aparat** la o interfață serială. Programarea modului de comunicație poate fi, de asemenea, foarte diferită. De aceea, nu se poate vorbi de un standard. În forma minimală, o conexiune serială RS-232 se compune din numai 3 conductoare:

1. **RXD (Receive Data)**, conductorul pentru semnalul de recepție;
2. **TXD (Transmit Data)**, conductorul pentru semnalul de emisie;
3. **GND (Ground)**, conductorul de masă.

Modul de legare a conductoarelor RXD și TXD la portul calculatorului depinde de aparatul utilizat.

Siguranța în transmisia datelor poate fi mai mare dacă se introduce o comunicație de tip *handshaking*. În acest caz se folosesc (fig. 3.3), pe lângă semnalele **RXD** și **TXD** (semnale de date), și semnalele **RTS (Request To Send)** și **CTS (Clear To Send)**.

**RTS** (cerere de emisie) și **CTS** (autorizare de emisie) sunt semnale care girează funcționarea half-duplex (HDX) - de exemplu, a liniei telefonice.

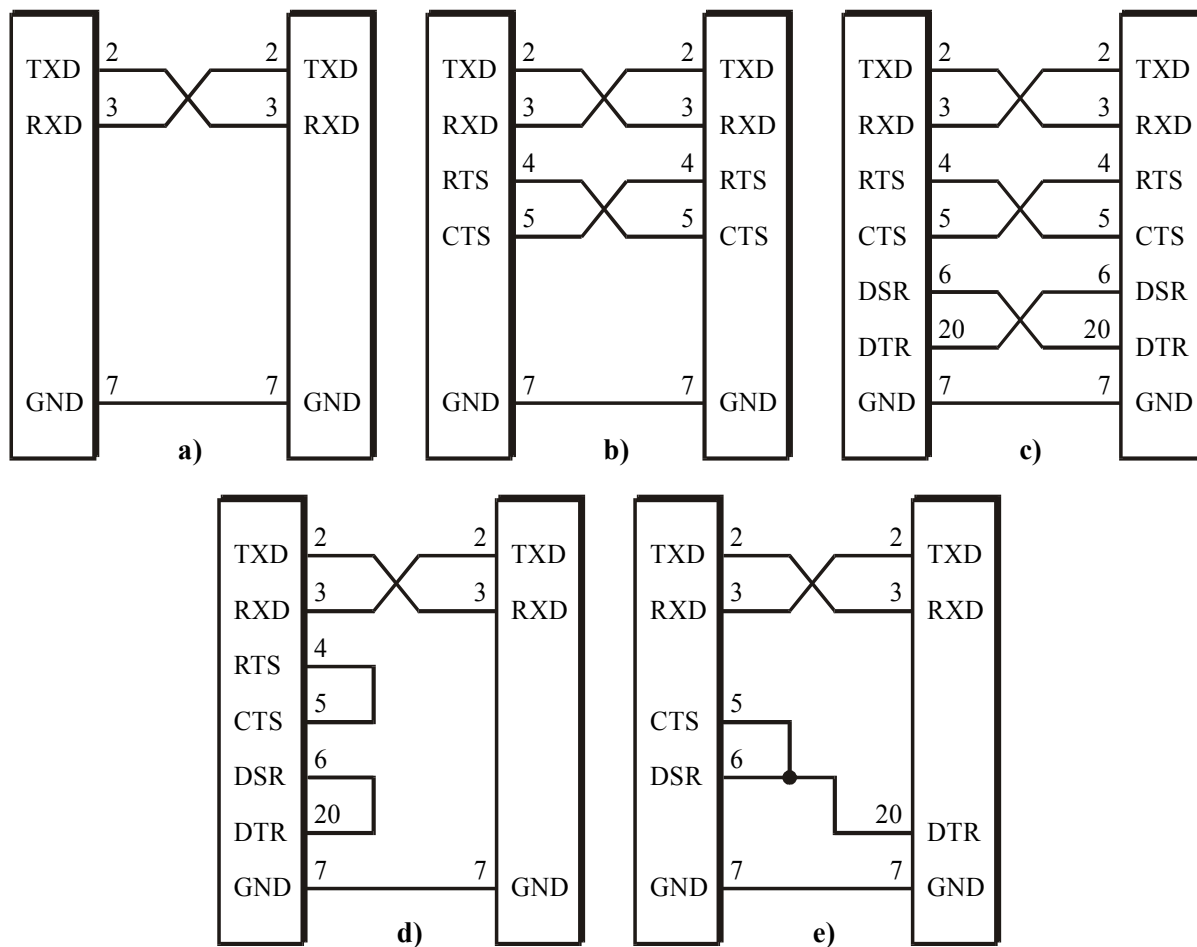
Calculatorul semnalizează modem-ului prin **RTS** că are un caracter de transmis; transmisia este posibilă numai atunci când semnalul **CTS** este primit de calculator. O siguranță superioară în transmisia datelor se obține prin utilizarea semnalelor **DTR (Data Terminal Ready)** și **DSR (Data Set Ready)**. Prin aceste semnale receptorul este anunțat că emițătorul este pregătit să trimită datele. Astfel, **DTR** poate fi perceput ca un semnal de **BUSY** pentru receptor.

Siguranța unei transmisii este determinată de lungimea cablurilor de legătură (maximum  $2 \times 15 = 30$  m), nivelul de tensiune al semnalelor și viteza de transmisie.

Nivelele de tensiune pentru interfața **RS-232** sunt:

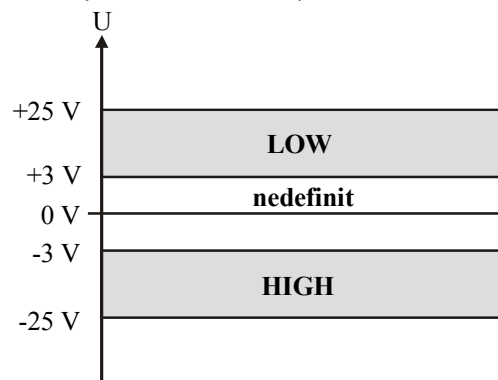
- HIGH: -15 V (-25 V);
- LOW: +15 V (+25 V).

Intervalul de la -3 V la +3 V nu este permis (fig. 2.21).



**Fig. 3.1** Tipuri de conexiuni utilizate în interfațarea serială: a) varianta minimală; b) varianta handshake; c) handshake cu confirmare DTR și DSR; d) transmisie cu punte pe semnalele de handshake; e) conectarea unui plotter.

Viteza de transmisie este dată în **BAUD**<sup>1</sup>. O altă unitate uzuală în cazul transmisiilor este **BPS (Bits Per Second)**. În cazul comunicației seriale între două echipamente, exprimarea vitezei de transmisie în **BAUD** și **BPS** este identică. În cazul conectării lor prin intermediul modemurilor, însă, acest lucru nu mai este valabil.



**Fig. 3.2** Nivelele de tensiune pentru portul serial.

<sup>1</sup> BAUD este unitatea de măsurare a numărului de schimbări pe secundă ale stării unei linii, denumită după **Jean Maurice Emile Baudot**, un fost ofițer al Serviciului Francez de Telegrafie. El a proiectat, la sfârșitul secolului al XIX-lea, primul cod pe 5 biți pentru reprezentarea unitară a caracterelor alfabetului.

Valorile uzuale pentru viteza de transmisie (*Baudrate*) sunt date mai jos:

**50    110    300    600    1200    2400    4800    9600    19200    38400**

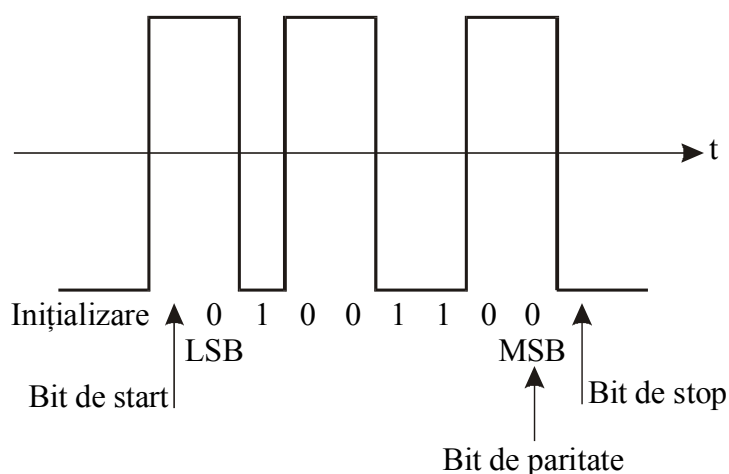
Formatul de transmisie al datelor este descris prin următorii parametri:

- Baudrate (viteza de transmisie);
- Startbit (bitul<sup>2</sup> de start);
- Numărul de biți de date;
- Paritatea;
- Numărul de biți de stop.

Prin intermediul biților de start și stop se determină începutul, respectiv sfârșitul secvenței de date transmise. Numărul de biți de date este, de obicei, 7 sau 8. Prin intermediul testului de paritate se pot evidenția eventualele erori de transmisie. În acest sens, există trei posibilități de detecție:

- **No Parity:** Nu se face nici un test de paritate;
- **Even parity** (paritate pară): Emițătorul numără toți biții de date care au valoarea “1” și setează bitul de paritate cu “1”, dacă suma a fost impară, și cu “0”, dacă suma a fost pară. Receptorul adună biții de date cu valoarea bitului de paritate. Suma este **totdeauna** (în cazul unei transmisii corecte) **pară**; în caz contrar, a survenit o eroare la transmisia datelor;
- **Odd Parity** (paritate impară): Metoda corespunde testului de paritate pară, cu deosebirea că suma biților de date și a celui de paritate este **totdeauna** (la emițător) **impară**.

În fig. 2.22 se descrie procesul de transmitere a caracterului “2” (în reprezentarea binară corespunzătoare codului ASCII) cu protocolul “1 bit de start, 7 biți de date, 2 biți de stop, paritate impară”.



**Fig. 3.3** Semnalele corespunzătoare transmisiei caracterului “2”.

<sup>2</sup> Termenul bit a apărut pentru prima dată scris cu sensul utilizat astăzi în informatică în anul 1949, ales de **John Tuckey** care s-a decis (în timp ce lua prânzul) pentru o variantă mai comodă decât denumirile de **bigit** sau **binit**.

### 2.3.1.2 INTERFAȚA I<sup>2</sup>C

Pentru a exploata similaritățile care există în proiectele și echipamentele proiectate de diverși utilizatori, ca și pentru maximizarea eficienței *hardware*-ului și pentru simplificarea proiectării circuitelor, a fost dezvoltată o magistrală bidirecțională pe două fire, cu scopul eficientizării controlului interconectării circuitelor integrate. Această magistrală se numește **INTER IC** sau **I<sup>2</sup>C**. În prezent, această magistrală permite cuplarea a mai mult de 150 de tipuri de circuite integrate, realizate în tehnologie CMOS sau bipolară, realizând funcții în domeniul controlului inteligent, a circuitelor integrate de uz dedicat (*driver*-e pentru afișaje cu cristale lichide, porturi de intrare-ieșire, memorii RAM și EEPROM, convertoare) și a circuitelor orientate pe aplicații (procesare de semnale pentru sisteme radio și video, generatoare DTFM pentru telefonie, etc.). Toate circuitele compatibile **I<sup>2</sup>C** încorporează o interfață care permite intercomunicația rapidă prin intermediul acestui tip de magistrală.

Dintre caracteristicile generale ale magistralei **I<sup>2</sup>C** putem menționa:

- magistrala conține doar două linii: o linie serială de date (**SDA**) și o linie de ceas serial (**SCL**);
- fiecare dispozitiv conectat la magistrală este adresabil prin *software*, având o adresă unică; pe magistrala **I<sup>2</sup>C** se manifestă, la orice moment de timp, o relație de tip master-slave;
- magistrala **I<sup>2</sup>C** este o magistrală multi-master, incluzând detecția conflictelor și arbitrarea acesteia, pentru a preveni alterarea informației dacă două sau mai multe dispozitive master inițiază transferuri simultane;
- transferurile bidirecționale de date, cu lungimi de 8 biți, pot fi efectuate cu rate de transfer de 100 kbiți pe secundă, în modul standard, sau cu maxim 400 kbiți pe secundă, în modul rapid;
- rejectarea impulsurilor scurte, parazite, de pe magistrală, este asigurată de circuitele de filtrare implementate în fiecare dispozitiv cuplat la magistrală. Rejectia acestor impulsuri asigură păstrarea integrității datelor;
- numărul de dispozitive cuplabile pe aceeași magistrală **I<sup>2</sup>C** este limitat doar de capacitatea maximă suportată de aceasta și care este de 400 pF.

Circuitele integrate compatibile cu magistrala **I<sup>2</sup>C** permit dezvoltarea rapidă a proiectării de la o schemă bloc funcțională la prototip, asigurând proiectanților o serie întregă de avantaje:

- structura extrem de simplă a magistralei (2 fire) minimizează interconexiunile cu exteriorul;
- protocolul complet integrat al magistralei **I<sup>2</sup>C** elimină folosirea decodificatoarelor de adrese și a unei logici externe, suplimentare;
- capabilitățile de multimaster ale magistralei **I<sup>2</sup>C** permit testarea rapidă

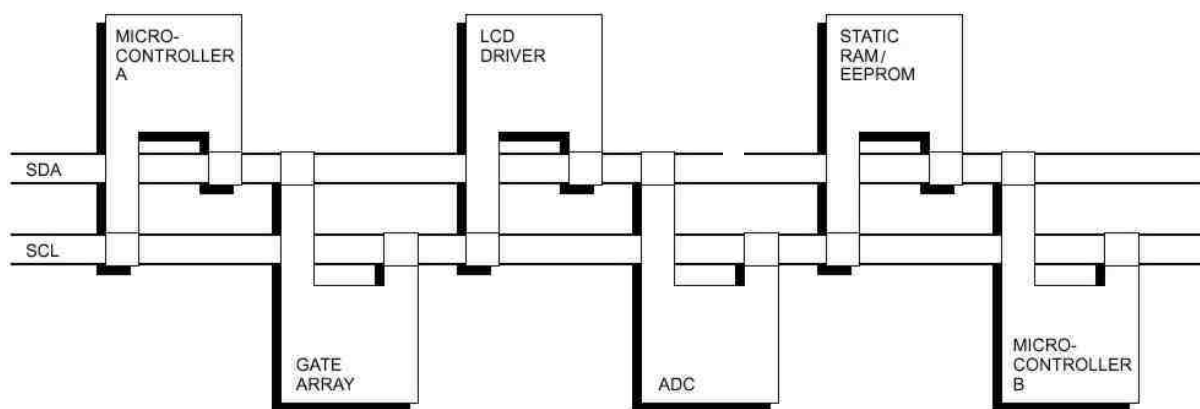
și alinierea utilizatorilor, prin utilizarea unor conexiuni externe, la un sistem de calcul;

- disponibilitatea circuitelor integrate I<sup>2</sup>C sub amprente de tip **SO** (Small Outline), **VSO** (Very Small Outline) și **DIL** (Dual In Line) reduce necesitățile de spațiu.

### 2.3.1.2.1 SPECIFICAȚIILE INTERFEȚEI I<sup>2</sup>C

Pentru aplicații de control industrial pe 8 biți, care necesită utilizarea unor microcontroller-e, pot fi stabilite a priori anumite criterii de proiectare:

- un astfel de sistem este compus din cel puțin un microcontroller și din alte dispozitive periferice, ca de pildă memorii și circuite de intrare-ieșire (fig. 2.23);
- criteriul principal de proiectare constă în minimizarea costului de interconectare a diferitelor dispozitive din componența sistemului;
- un sistem care asigură o funcție de reglare (control) într-un proces nu necesită rate mari ale transferurilor de date;
- eficiența globală a sistemului depinde de natura circuitelor utilizate și de structura magistralei de interconectare a acestora.



**Fig. 3.4** Exemplu de sistem organizat în jurul magistralei I<sup>2</sup>C.

Pentru a satisface aceste criterii, este necesară utilizarea unei magistrale seriale, care deși nu permite rate de transfer a informațiilor atât de mari ca o magistrală de interconectare de tip paralel, asigură minimizarea numărului firelor și pinilor de interconectare între diversele circuite utilizate în proiect.

Dispozitivele care intercomunică prin intermediul unei magistrale seriale necesită utilizarea unor protocoale care au rolul de a elimina erorile, pierderile de informații și conflictele pe magistrală și de asemenea, posibilitatea ca unele dispozitive rapide să poată comunica cu dispozitive lente. Este necesar ca sistemul să poată funcționa independent de numărul de dispozitive înglobate în structura sa, sau cu alte cuvinte, adăugarea de dispozitive în structura sistemului

să nu afecteze funcționarea acestuia.

### 2.3.1.2.2 CONCEPTUL DE MAGISTRALĂ I<sup>2</sup>C

Magistrala I<sup>2</sup>C permite cuplarea unor circuite compatibile în structura sistemului, indiferent de tehnologia de fabricație a acestora: NMOS, CMOS sau bipolară. Magistrala constă în două linii: o linie serială de date (SDA) și o linie de ceas serial (SCL), ce manipulează informațiile între oricare două dispozitive cuplate la magistrală. Orice dispozitiv este recunoscut prin intermediul unei adrese unice asociate, indiferent dacă este vorba de un microprocesor, display cu cristale lichide, interfață de tastatură, etc., și poate funcționa ca emițător sau receptor, depinzând de funcția realizată de acesta (fig. 2.24). O clasificare suplimentară a dispozitivelor cuplate la magistrala I<sup>2</sup>C constă în dispozitive *master*, respectiv *slave*. Un dispozitiv *master* este acela care poate iniția un transfer de date pe magistrală și care generează semnalul de ceas ce coordonează transferul. În tot acest timp, orice alt dispozitiv adresat este privit ca *slave*.

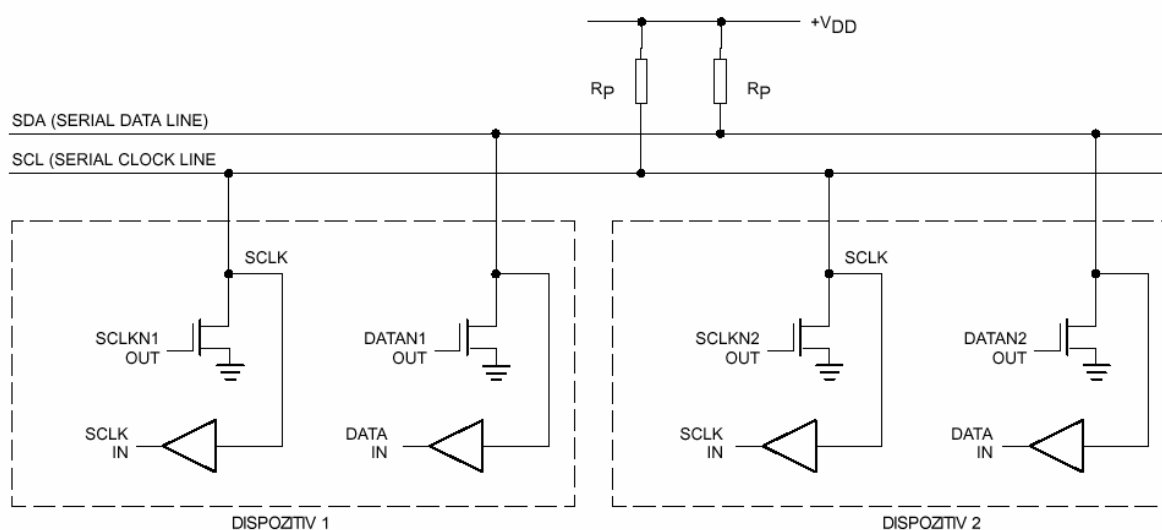


Fig. 3.5 Interconectarea a două dispozitive pe magistrala I<sup>2</sup>C.

Magistrala I<sup>2</sup>C este o magistrală de tip *multi-master*. Aceasta înseamnă că mai multe dispozitive care pot controla magistrala pot fi cuplate la aceasta. Posibilitatea de a cupla mai mult de un dispozitiv *master* la magistrală înseamnă că mai mult de un singur dispozitiv poate încerca să inițieze un transfer pe magistrală, la același moment de timp. Pentru a se evita această situație de incertitudine, a fost elaborată o procedură de arbitraj a priorităților, bazată pe conectarea de tip ȘI-cablat a tuturor dispozitivelor la magistrală. Semnalele de ceas pe durata arbitrajului de priorități reprezintă rezultatul sincronizării semnalelor de ceas generate de cele două dispozitive *master* prin utilizarea funcției de tip ȘI-cablat a liniilor SCL. Generarea semnalelor de ceas pe magistrală revine întotdeauna în sarcina dispozitivelor *master*; fiecare dispozitiv

**master** generează propriul său semnal de ceas pe durata transferului de date pe magistrala sistemului. Semnalele de ceas de pe magistrală pot fi doar alterate numai dacă un dispozitiv **slave** lent forțează linia de ceas la nivel logic LOW sau de un alt dispozitiv **master**, pe durata arbitrării priorităților.

Ambele linii, **SDA** și **SCL**, sunt bidirecționale și conectate printr-o rezistență de “pull-up” la tensiunea de alimentare. Atunci când magistrala este liberă, ambele linii sunt în starea HIGH. Etajul de ieșire al dispozitivului conectat la magistrală trebuie să fie de tip **open-drain** sau **open-collector** pentru a se realiza funcția ȘI-cablat. Pe magistrala **I<sup>2</sup>C**, transferurile de date pot fi efectuate cu rate de maxim 100 kbiți/s în modul standard sau maxim 400 kbiți/s în modul rapid. Numărul de dispozitive cuplabile la magistrala **I<sup>2</sup>C** este limitat doar de încărcarea capacitivă (maxim 400 pF) a liniilor magistralei.

### 2.3.1.2.3 TRANSFERURILE PE MAGISTRALA **I<sup>2</sup>C**

Datorită diversității tehnologiilor de implementare a circuitelor cuplabile la liniile interfeței **I<sup>2</sup>C**, nivelele logice nu sunt fixate și depind de valoarea tensiunii de alimentare  $V_{DD}$ . Pentru transferul fiecărui bit este generat câte un impuls de ceas.

#### a) Validitatea datelor

Datele vehiculate pe linia **SDA** trebuie să fie stabile pe durata HIGH a impulsului de ceas. Modificările stării liniei **SDA** trebuie să se producă doar atunci când semnalul de ceas este LOW.

#### b) Condițiile START și STOP

Printre procedurile implementate pe magistrala **I<sup>2</sup>C**, situații de excepție sunt considerate condițiile de START și STOP.

O tranziție din starea HIGH în starea LOW a liniei **SDA**, pe durata căreia linia **SCL** este HIGH, este interpretată ca o condiție de START.

O tranziție din starea LOW în starea HIGH a liniei **SDA**, pe durata căreia linia **SCL** este HIGH, este interpretată ca o condiție de STOP.

Condițiile de START și de STOP sunt generate întotdeauna de un dispozitiv **master**. După generarea unei condiții de START se consideră că magistrala este ocupată. Magistrala este considerată din nou ca fiind neutilizată după apariția unei condiții de STOP.

Detectarea condițiilor de START și de STOP de către dispozitivele **slave** cuplate la magistrală este foarte facilă dacă acestea înglobează **hardware**-ul specializat de interfațare. Pentru dispozitivele care nu dispun de acest **hardware** specializat, se impune ca linia **SDA** să fie eșantionată de două ori pe durata unei perioade de ceas, pentru ca această tranziție să poată fi detectată.



### 2.3.1.2.3.1 TRANSFERURILE DE DATE PE MAGISTRALĂ

#### a) Transferurile de date sub formă de cuvânt

Orice cuvânt de date transferat pe magistrală trebuie să aibă lungimea de 8 biți. În schimb, numărul de octeți ce pot fi transferați pe linia **SDA** este practic nelimitat. Fiecare octet transferat trebuie să fie urmat de un bit de confirmare (*acknowledge*). Transferurile de date încep întotdeauna cu bitul cel mai semnificativ al octetului respectiv. Dacă un dispozitiv receptor nu poate accepta un alt octet de date înainte de a realiza o funcție specială cum ar fi de pildă tratarea unei întreruperi interne, acesta poate forța linia de ceas, **SCL**, la nivel LOW pentru a face ca emițătorul să intre în stare de WAIT. Transferul de date poate continua atunci când receptorul eliberează linia **SCL**.

În anumite cazuri, este posibilă utilizarea unui alt format pentru transferul pe magistrală. Un mesaj care începe cu o astfel de adresă poate fi terminat prin utilizarea unei condiții de STOP, chiar în timpul transmiterii unui octet de informație. În această situație nu se generează bitul de confirmare.

#### b) Bitul de confirmare

Transferurile de date cu confirmare sunt obligatorii pentru a se asigura integritatea datelor pe magistrală. Semnalul de ceas asociat bitului de confirmare este generat de dispozitivul *master*. Pe durata acestui impuls de ceas, dispozitivul emitent eliberează linia **SDA** (nivelul acesteia este HIGH).

Dispozitivul de recepție trebuie să forțeze linia **SDA** la nivel coborât pe durata impulsului de ceas de confirmare, astfel acest nivel coborât să rămână stabil pe durata HIGH a impulsului de ceas de confirmare.

În mod obișnuit, un dispozitiv ce realizează funcția de recepție mesaj trebuie să emită câte un semnal de confirmare după fiecare octet recepționat. Atunci când un dispozitiv *slave* cu funcție de recepție nu confirmă adresa asociată (de exemplu, acest dispozitiv nu este capabil să răspundă deoarece efectuează un set de operații în timp real), linia de date trebuie lăsată neutilizată (HIGH) de către dispozitivul *slave*. În această situație, dispozitivul *master* poate genera o condiție de STOP pentru a termina transferul. Dacă dispozitivul *slave* ce realizează funcția de recepție confirmă adresa asociată dar în procesul de transfer ulterior nu mai poate recepționa octeți, este, de asemenea, necesar ca dispozitivul *master* să termine transferul. Acest fapt este indicat prin faptul că receptorul nu confirmă recepționarea următorului octet, lasă linia **SDA** pe nivel HIGH, iar dispozitivul master generează condiția de STOP.

Dacă în procesul de transfer este implicat un dispozitiv *master* ce realizează funcția de recepție, acest dispozitiv trebuie să semnalizeze sfârșitul transferului prin neconfirmarea ultimului octet recepționat de la *slave*. Dispozitivul *slave* trebuie să elibereze linia **SDA** pentru ca dispozitivul *master* să poată transmite o condiție de STOP.

#### 2.3.1.2.4 ARBITRAREA PRIORITĂȚILOR ȘI GENERAREA CEASULUI

##### a) Sincronizarea pe magistrala I<sup>2</sup>C

Toate dispozitivele *master* generează propriul semnal de ceas pe linia **SCL** pentru a transmite mesaje pe magistrala I<sup>2</sup>C. Datele sunt valide doar pe durata HIGH a impulsurilor de ceas. Prezența unui semnal de ceas pe magistrală este necesară pentru procedura de arbitrare bit cu bit.

Sincronizarea ceasului este asigurată prin utilizarea conexiunii de tip ȘI-cablat a interfețelor de magistrală la linia **SCL**. Aceasta înseamnă că o tranziție din HIGH în LOW pe linia **SCL** va determina dispozitivele cuplate la magistrală să își înceapă procesul de contorizare a perioadelor LOW odată ce semnalul de ceas al unui dispozitiv a devenit LOW și se va menține linia **SCL** în această stare până semnalul de ceas devine din nou HIGH. Totuși, tranziția din starea LOW în starea HIGH nu va determina schimbarea stării liniei de ceas dacă un alt semnal de ceas cuplat la linia de ceas a magistralei se află în stare LOW. Durata cât timp linia **SCL** va fi menținută în stare LOW va fi determinată de dispozitivul care este caracterizat de cea mai mare durată a nivelului coborât al ceasului. Celelalte dispozitive, caracterizate de o durată mai mică a palierului stării LOW a semnalului de ceas, trec în stare de WAIT cu semnalul de ceas la nivel ridicat.

Atunci când, toate dispozitivele, implicate în procesul de comunicare pe magistrală, și-au încheiat contorizarea perioadei LOW a semnalului de ceas, linia respectivă va fi eliberată și va trece în stare HIGH. În acest mod, nu vor mai exista diferențe între semnalele de ceas ale dispozitivelor și starea liniei de ceas a magistralei, toate dispozitivele începându-și contorizarea duratelor HIGH ale semnalelor de ceas. Primul dispozitiv care își încheie perioada HIGH a semnalului de ceas va forța linia **SCL** din nou la nivel LOW.

Semnalul de ceas de pe linia **SCL** este astfel sincronizat, având durata de nivel coborât determinată de dispozitivul caracterizat de cea mai lungă perioadă LOW a semnalului de ceas și durata de nivel ridicat determinată de dispozitivul caracterizat de cea mai scurtă perioadă HIGH a semnalului de ceas.

#### b) Arbitrarea priorităților

Un dispozitiv **master** poate iniția un transfer de date doar dacă magistrala este liberă. Două sau mai multe dispozitive **master** de magistrală pot genera o condiție de START pe durata timpului de HOLD din condiția de START. Arbitrarea are loc prin intermediul liniei de date, **SDA**, pe durata cât linia de ceas, **SCL**, este pe nivel HIGH. Astfel, unul dintre dispozitivele **master** transmite un nivel HIGH pe magistrală, în timp ce celălalt, care transmite un nivel LOW, își va dezactiva etajul de ieșire deoarece nivelul logic de pe magistrală nu corespunde cu nivelul logic transmis de către acesta. Arbitrarea poate continua pentru mai mulți biți. Prima etapă constă în compararea biților de adresă. Dacă două dispozitive **master** încearcă să adreseze același dispozitiv **slave**, arbitrarea continuă cu compararea datelor. Deoarece adresele și datele sunt utilizate pentru arbitrarea magistralei, se constată că nu există pierderi de informație pe liniile magistralei pe durata acestui proces.

Un dispozitiv **master** care pierde arbitrarea poate genera impulsuri de ceas până la încheierea procesului de transmitere a octetului în cursul căruia a pierdut arbitrarea.

### 2.3.1.3 INTERFAȚA USB

Interfața USB (Universal Serial Bus) a fost proiectată cu scopul de a simplifica procedura de conectare a perifericelor la un PC, crescând viteza de transmisie prin intermediul unei comunicații de tip serial până la valori de 12 Mbit/s. Faptul că necesită o conectare mai facilă impune însă utilizarea unui protocol mai complex, pentru păstrarea eficienței și transparenței față de utilizator.

USB este deja recomandat pentru noua generație de PC-uri compatibile IBM de către PC'98 System Design Guide și este, deja inclus ca driver în sistemul de operare Windows 98.

Suportul hardware constă dintr-o conexiune pe patru conductoare, dintre care două sunt pentru alimentare ( $V_{bus}$ ) respectiv masă (GND) iar celelalte două pentru transferul de date (D+ și D-). Prin intermediul USB se pot conecta **simultan** la un PC până la 126 de periferice cu avantajul suplimentar al reducerii costului și al spațiului alocat plăcii de bază a PC-ului (PCB) prin eliminarea necesității unui port suplimentar “tradițional” cum sunt cele ale tastaturii și/sau porturile seriale clasice. Bineînțeles că marele avantaj rezidă în costul scăzut al USB și în viteza (12 Mbit/s în așa-numitul “full-speed mode”) care permite transferul în timp real al semnalelor de voce sau video comprimat.

La sfârșitul anului 1999 a fost lansată oficial varianta USB2.0 care permite transferuri de până la 120, respectiv 240 Mbit/s. În cele ce urmează se prezintă protocolul USB 1.1, pe baza unui exemplu de implementare hardware: *Infineon Technologies C541 embedded USB microcontroller*.

Arhitectura USB se compune din trei elemente principale (fig. 2.25) - gazda (*host*), conectorii (*hubs*) și perifericele (*devices*). Conexiunea utilizează

topologia “tiered-star” și poate fi structurată în nivele, deci poate avea până la 5 distribuitoare (*hub tiers*). În mod uzual, controller-ul gazdă (*host controller*) și *hub*-ul principal (de *root*) sunt implementate pe un același chip pe placa de bază a PC-ului. Controller-ul gazdă controlează transmisiile prin sistemul USB. Există două tipuri de *host controllers*: OHCI (**O**pen-**H**ost **C**ontroller **I**nterface) și UHCI (**U**niversal **C**ontroller **H**ost **I**nterface). Din punct de vedere al aplicațiilor, OHCI poate gestiona multiple tranzacții pentru un anumit periferic *End Point* (EP) într-un interval de 1 ms. Pe de altă parte, UHCI permite câte o tranzacție pentru fiecare EP în fiecare cadru de aplicație (*frame*). Pachetele software ale echipamentelor USB trebuie să fie capabile să gestioneze comunicația cu fiecare dintre aceste tipuri de controller-e.

Un distribuitor principal acționează ca un port care se atașează echipamentului USB (fig. 2.25), permițând multiple conexiuni la sistemul USB și detectează momentele când echipamentele sunt conectate sau deconectate de la sistem. De asemenea, el transmite mai departe traficul pe *bus* între portul trece-sus (*upstream*) și porturile trece-jos adiacente (*downstream*).

Fiecare echipament dotat cu USB are alocate numere EP. Numărul EP0 este rezervat pentru configurarea echipamentelor de către gazdă. El asigură un punct de comunicație către gazdă prin intermediul descriptorilor EP. Descriptorii EP comunică atributele echipamentelor și caracteristicile acestora gazdei. În conformitate cu aceste informații, gazda configurează echipamentul și-i alocă driver-ul software corespunzător (USB client software).

Celelalte EP pot fi considerate ca o funcție a echipamentelor și pot fi configurate separat pentru unul dintre tipurile de transfer pentru a comunica cu gazda. De exemplu, o aplicație de tastatură, care se clasifică în standardul USB “**H**uman **I**nterface **D**evice”, HID, folosește EP0 pentru configurarea echipamentului (tastaturii) și poate folosi EP1 ca un transfer pe întreruperi pentru trimiterea datelor (*key-scanned data*) către gazdă.

USB suportă 4 tipuri de transfer de date:

- *Control transfer* - comenzi de cereri de transfer de la gazdă către echipament;
- *Interrupt transfer* - transfer de date de la un *interrupt driver device* către gazdă;
- *Bulk transfer* - transferul unei cantități mari de date;
- *Isochronous transfer* - pentru aplicații care necesită rate de transfer constante.

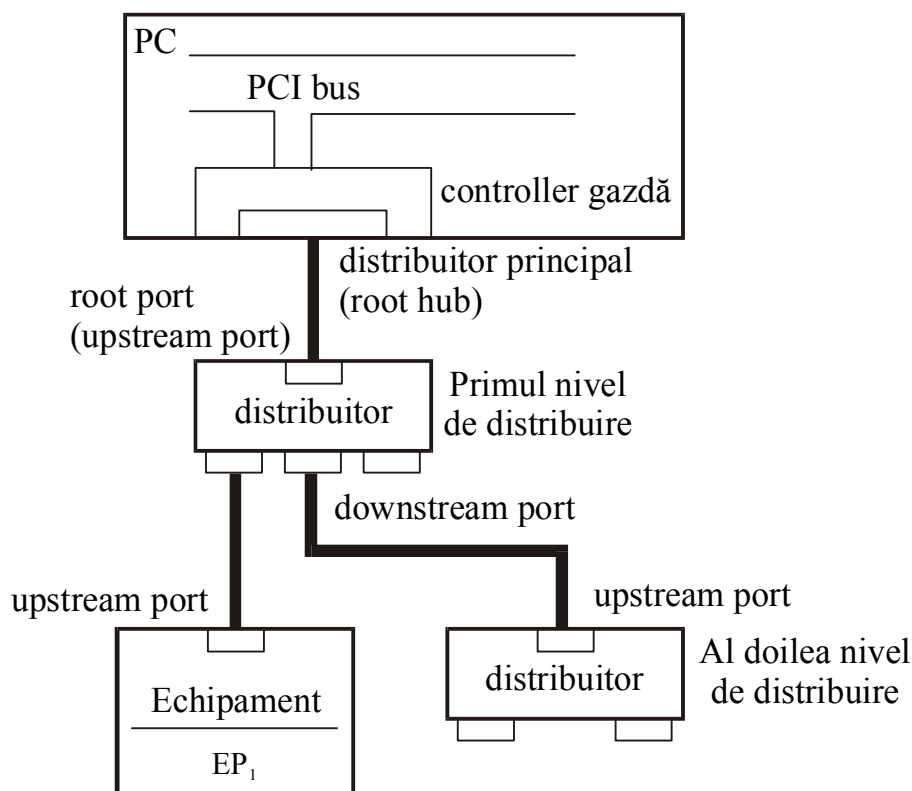


Fig. 3.6 Structura generală a unei interfețe USB.

### 2.3.2 COMUNICAȚIA DE TIP PARALEL. PROTOCOALE DE TRANSMISIE PARALELĂ A DATELOR

Pentru sistemele de măsurare ce utilizează aparate inteligente conduse de calculator, comunicația paralelă este cea mai indicată, asigurând viteze mari de comunicație, drept pentru care au fost realizate standarde internaționale la care s-au aliniat majoritatea constructorilor de aparate inteligente dotate cu microprocesoare.

Comunicația paralelă este utilizată și pentru alte aparate cuplate la calculator, cum ar fi: imprimante, plotter-e, dispozitive de memorie externă etc.

Până în anii '60 au existat numai aparate de măsurare cu comandă manuală și de-abia o dată cu apariția aparatelor numerice, în deceniile următoare, s-au proiectat primele interfețe cu rolul, la început, de a permite cuplarea mai multor aparate de măsurare între ele. În anii '70 s-a pus problema standardizării interfețelor, prima soluție constituind-o interfața **RS-232** pentru interconectarea calculatoarelor ca și a perifericelor la acestea. Încă din 1965, însă, firma Hewlett-Packard lucra la definirea unui concept de interfață **HPIB** (Hewlett Packard Interface Bus), din care a decurs apoi norma internațională **IEC 625-1**, adoptată în 1976.

### 2.3.2.1 INTERFAȚA HPIB

BUS-ul IEC 625 utilizează transmisia asincronă ceea ce înseamnă că viteza de comunicație este determinată de aparatul cel mai lent din sistem. Acesta este numai aparent un dezavantaj, deoarece timpul de măsurare al aparatelor este de obicei mult mai mare decât timpul necesar comunicației.

Se obțin astfel viteze de 2000-3000 kBaud ceea ce nu este deloc puțin în comparație cu comunicația serială prin RS-232 ce poate asigura maximum 38,4 kBaud.

BUS-ul IEC pentru sistemele de măsurare este cunoscut sub mai multe denumiri și variante, diferențele dintre acestea fiind însă minime. Astfel, între HPIB și GPIB, realizate după standardul american IEEE-488 și, respectiv, standardul internațional IEC-625, diferența este la conectarea în cuple și numărul de pini ai acestora. Prescurtările au următoarele semnificații:

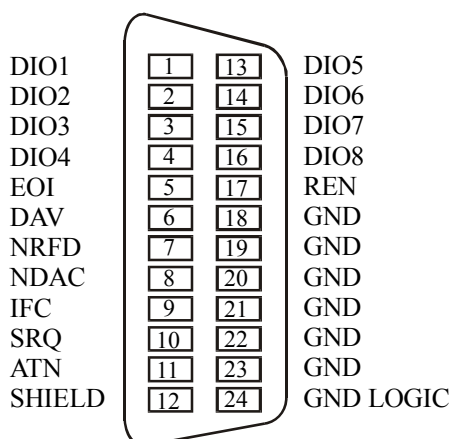
- HPIB: Hewlett Packard Interface Bus
- GPIB: General Purpose Interface Bus

Conectorul utilizat de bus-ul HPIB este redat în fig.3.9. Acest conector are 24 de pini care sunt alocați conform standardului pentru intrări-ieșiri de date și comenzi și care vor fi explicați în continuare.

Pentru realizarea unui sistem automat de măsurare prin interfața HPIB este necesar un echipament de calcul (PC), care să posede implementată pe magistrala proprie placa de interfața pentru acest Bus, iar aparatele utilizate trebuie să fie prevăzute de asemenea cu această interfață.

Sistemul poate fi format din **maximum 15 aparate** ce pot fi conectate la calculator în două moduri: în stea (fig. 2.27a) sau în serie (fig. 2.27b).

Legăturile între aparate trebuie să fie cât mai scurte și să nu depășească lungimea de 2 m.



**Fig. 3.7** Conectorul HPIB.

Legătura în stea asigură o configurație mai avantajoasă asigurând distanțe minime între aparate și o viteză de comunicație mai mare, de aceea este mai

recomandată.

Legătura în serie permite o dispersare mai mare a aparatelor, dar o conectare imperfectă la una dintre cuple poate crea probleme de reflexii pe cabluri sau chiar întreruperea comunicației între aparate. De asemenea, viteza de comunicație este mai mică, datorită traseelor mai lungi.

### 2.3.2.1.1 STRUCTURA BUS-ULUI HPIB

Aparatele compatibile cu protocolul HPIB și dotate, astfel, cu interfața corespunzătoare, pot avea în sistem trei funcții:

- **ascultătorii** (listeners), care primesc datele atunci când sunt adresați. Pot fi activi și mai mulți ascultători simultan;
- **vorbitorii** (talkers), care emit date atunci când sunt adresați. Un singur vorbitor poate fi activ la un moment dat pe bus;
- **controller-ele**, (controllers) care adresează aparatele legate la bus, fie că este vorba de ascultători, fie că este vorba de vorbitori, și trimit instrucțiuni speciale și semnale de comandă.

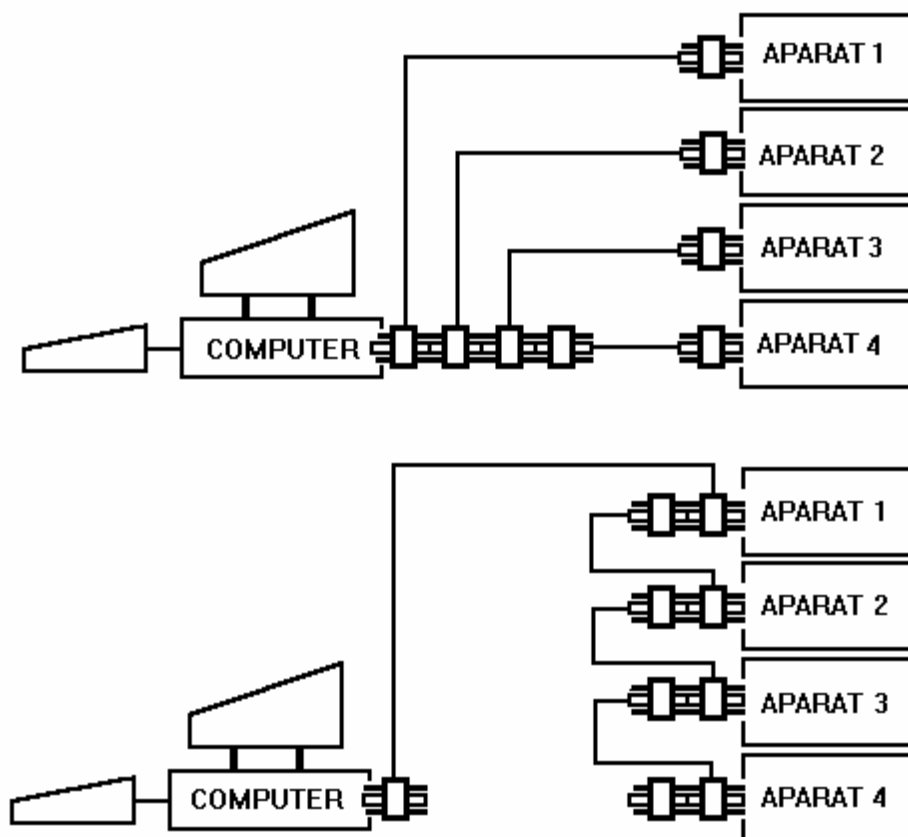
Pentru a comanda în mod eficient, controller-ul trebuie să poată asculta și vorbi în mod egal. Într-un sistem de măsurare automatizat se pot distinge trei tipuri de sarcini:

- selecția unui aparat;
- transferul informațiilor;
- gestiunea transferului de informații.

Noțiunea de gestiune a transferului de informații este aici foarte importantă, deoarece un aparat “vorbitor” (care poate fi controller-ul, când el emite adrese, sau un aparat selecționat când el primește date) nu poate efectua un nou transfer decât atunci când el este sigur că aparatele vizate au primit în condiții bune informația precedentă.

Sistemul HPIB este constituit din ansamblul elementelor funcționale electrice și mecanice ale unei interfețe conforme cu norma IEEE-488. Cablul utilizat pentru conectarea aparatelor are 24 de conductoare, din care 16 sunt repartizate în trei grupe:

- |  |          |
|--|----------|
| • transferul informațiilor             | 8 linii; |
| • gestiunea transferului de informații | 3 linii; |
| • gestiunea generală                   | 5 linii. |



**Fig. 3.8** Conectarea aparatelor la calculator prin bus-ul HPIB.

**Linii de transfer de date** (DIO1÷DIO8) sunt rezervate intrărilor și ieșirilor. Ele sunt utilizate pentru măsurări, instrucțiuni de programare cuvinte de stare, adrese, instrucțiuni de interfațare. Un octet de date este format din 8 biți transmiși în paralel. Un mesaj poate să cuprindă mai mulți octeți; acești octeți sunt transmiși atunci în serie. Viteza de transfer poate atinge 1 Moctet/secundă pentru o comunicație bidirecțională asincronă.

**Linii de gestiune a transferului** sunt destinate să gireze transferul fiecărui octet de la un aparat emițător spre unul sau mai multe aparate receptoare și asigură protocolul de tip “handshake” ori de câte ori informațiile sunt transmise pe cele 8 linii ale bus-ului de date. Aceste linii sunt:

- **DAV (Data Valid)**; această linie informează că datele prezentate pe bus de la un emițător sunt valide; ele sunt comandate de emițător;
- **NRFD (Not Ready For Data)**; această linie este acționată de controler în modul “comandă” (ATN=1) și de receptor în modul “date” (ATN=0);
- **NDAC (Not Data Accepted)**; atunci când NDAC=1, datele nu sunt acceptate de receptor, sau în modul “comandă”, comanda nu este acceptată de aparatul conectat la bus.

**Linii de gestiune generală**, fiecare din cele cinci linii ale acestei grupe având o funcție de comandă specifică între controler și alte aparate ale sistemului:



- **ATN (ATteNtion)**; permite controlerului să indice instrumentelor că instrucțiuni și adrese sau date sunt prezente pe bus. Atunci când  $ATN=1$  numai emițătorul și receptorul adresați sunt vizați. În acest caz, pe bus-ul de date este trimis codul adresei emițătorului. Dacă  $ATN=0$ , codul reprezintă date. Toate aparatele trebuie să “privească” în orice moment la această linie și atunci când pe ea se produce o schimbare, ele trebuie să răspundă într-un interval de max. 200 ns.
- **IFC (InterFace Clear)**; această linie poate fi pusă pe “1” (sau “adevărat”) numai de către controler înainte de a pune interfețele conectate la bus într-o stare inactivă. Toate operațiunile în curs sunt atunci oprite pentru a permite repornirea de la o situație neutră și uniformă înaintea tuturor operațiilor.
- **SRQ (Service ReQuest)**; această linie este activată de toate aparatele care au de cerut un “serviciu” controller-ului. Această cerere poate întrerupe o operațiune în curs. Atunci când mai multe aparate cer SRQ în același moment, controller-ul trebuie să efectueze o căutare pentru a depista aparatele respective și natura serviciului cerut. Această căutare se poate efectua fie “în serie”, fie “în paralel”.
- **EOI (End Or Identify)**; dacă  $ATN=0$  (liniile DIO sunt pe modul “date”), această linie este activată (adică  $EOI=1$  sau “adevărat”) de un emițător semnificând faptul că octetul în curs este ultimul transmis pentru operație. Dacă  $ATN=1$  (liniile DIO sunt în modul “comandă interfață”), controller-ul activează linia EOI într-o căutare paralelă.
- **REN (Remote ENable)**; această linie este activată numai de controler pentru a comuta un aparat de la poziția “comandă de pe panoul frontal” (sau comandă locală) pe poziția “comandă de la distanță”. Atunci când  $REN=0$ , aparatul revine la modul de comandă locală.

Se disting, astfel, două tipuri de mesaje :

- comenzi generale, date de controler și destinate interfețelor încorporate aparatelor, acestea fiind mesaje de interfață.
- datele destinate aparatelor de măsurare înainte de a le plasa într-o stare particulară sau de primire a rezultatului obținut de la o măsurare. Datele sunt furnizate de un emițător care poate fi controller-ul; acestea sunt “mesaje pentru aparate”.

În acest fel se delimitează zonele de intervenție ale normei IEEE-488 care acționează prin comenzi asupra interfeței și prin mesaje asupra aparatelor.

### Mesajele pentru aparate

Un mesaj pe cele 8 linii DIO este un mesaj de aparat (sau de date) dacă linia  $ATN=0$ . Aceste date sunt emise de aparatul adresat ca vorbitor și primite de aparatele adresate ca ascultători sub controlul procedurii de tip “handshake”.

Ele pot fi:

a) date de intrare:

- date de comandă, de exemplu instrucțiuni ale programului pentru un aparat particular;
- date pentru afișare sau stocare.

b) date de ieșire:

- datele unui rezultat al măsurării;
- informații de stare a aparatului.

Între aparatele conectate la sistemul de comunicare, este necesar să existe convenții asupra codificării datelor. Se poate remarca faptul că norma definește numai modul transferului de date, dar nu și conținutul lor; acesta depinde de aparatul utilizat; la ora actuală, convenția cea mai răspândită este codul ASCII.

### Mesaje de interfață

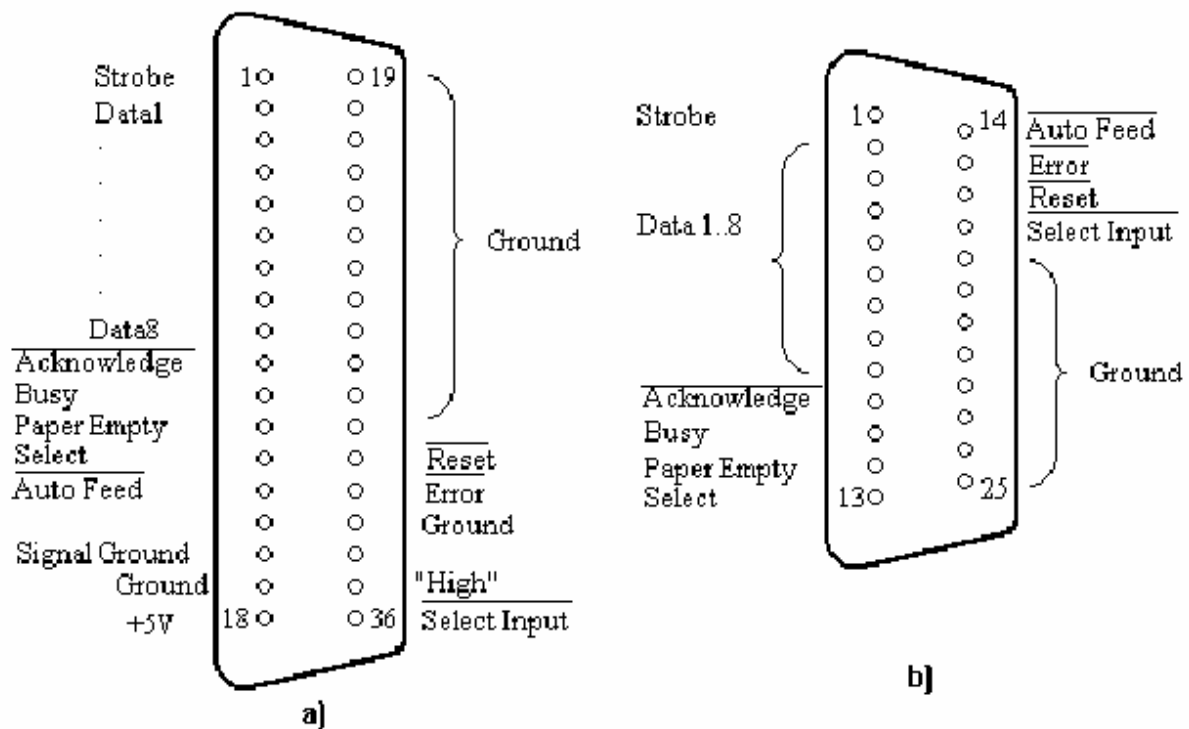
Se disting, ca și în cazul mesajelor de aparat, mesaje de interfață multifilară și unifilară. Mesajele unifilare ATN, IFC și REN care comandă anumite funcții ale aparatelor conectate la bus-ul HPIB au fost deja definite anterior. Așa cum s-a arătat, este vorba de comenzi emise de controler interfețelor aparatelor. Un mesaj multifilar pe linia DIO este considerat ca o comandă dacă linia ATN = 1. El este codificat prin 7 biți trimiși pe liniile DIO1÷DIO7.

### 2.3.2.2 INTERFAȚA CENTRONICS

Interfața dezvoltată de firma **Centronics** în scopul, inițial, al transmiterii comenzilor către imprimante, nu este (încă) normată, cu toate că este utilizată de toate PC-urile. Modul de lucru este caracterizat de un transfer paralel al datelor, distanța maximă dintre echipamentele interconectate prin această interfață fiind de 8 m, datorită limitărilor privind distorsionarea semnalelor cauzată de capacitatea lineică a conductoarelor. O soluție este dispunerea conductoarelor de semnal alături de conductoarele de masă și răsucirea acestora (*twisted-pair*), dar mulți producători de imprimante recomandă o distanță maximă între PC și acestea de 3m. Viteza de transfer a datelor prin intermediul acestei interfețe este dependentă de hardware. Ea poate, teoretic, să aibă valori de peste 1 MByte/s, dar pentru aceasta se impune o distanță maximă între echipamentele interconectate de 1 m. Interfața utilizează nivele de tensiune TTL, ceea ce facilitează utilizarea ei în diferite aplicații.

În cele ce urmează se va face o descriere a semnalelor specifice interfeței (fig. 2.28):

- **Strobe** (activ LOW): această linie este activată de către calculator, atunci când se dorește transferul datelor către exterior (imprimanta, eventual);



**Fig. 3.9** Dispunerea pinilor portului Centronics:  
a) conector cu 36 de pini (Amphenol-seria 57); b) conector cu 25 de pini (Subminiatur-D)

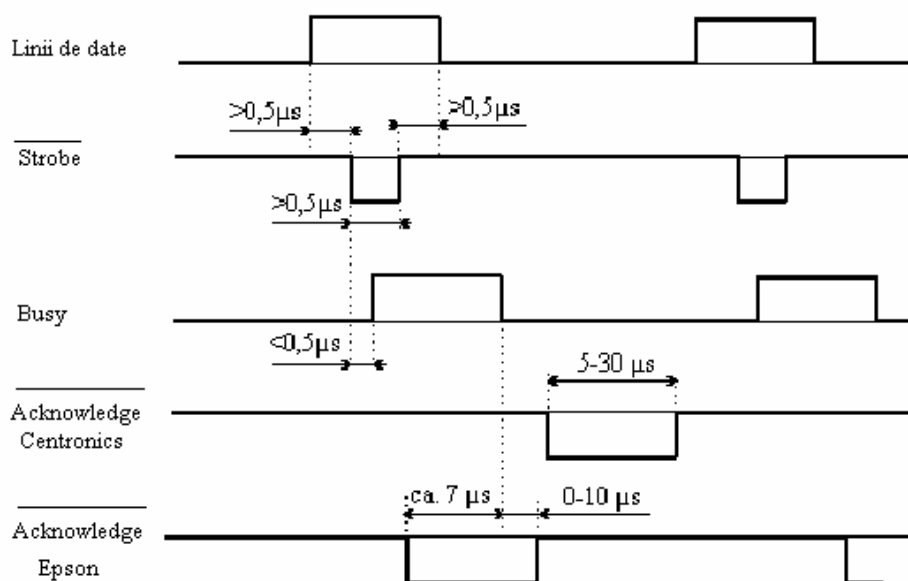
- **Data 1 ÷ Data 8:** linii de date
- **Acknowledge** (activ LOW): atunci când echipamentul exterior (imprimanta) a preluat datele transmise, transmite un semnal de înștiințare cu durată de 30  $\mu$ s;
- **Busy:** apariția unei erori în timp ce imprimanta preia datele, este în procesul de imprimare sau în starea off-line, determină activarea acestui semnal.
- **Paper Empty:** acest semnal este activ până când senzorul va detecta, din nou, prezența colilor de hârtie.
- **Select:** cu ajutorul acestui semnal imprimanta anunță faptul că este accesată și activă.

Următoarele semnale nu aparțin, de fapt, standardului (în sensul de variantă inițială a interfeței):

- **Autofeed** (activ LOW): o dată cu activarea acestei linii, imprimanta inserează la sfârșitul fiecărei linii câte un salt la linie nouă;
- **Reset** (activ LOW): cu semnalul trimis pe această linie, imprimanta se va seta într-o stare predefinită;
- **Error** (activ LOW): acest semnal se activează o dată cu apariția unei erori sau atunci când imprimanta este în starea off-line;
- **Select Input** (activ LOW): transmiterea unui semnal pe această linie determină selectarea imprimantei.

### 2.3.2.2.1 PROTOCOLUL DE COMUNICAȚIE CENTRONICS-HANDSHAKE

În fig. 2.29 este reprezentată diagrama de semnale corespunzătoare transmiterii datelor prin interfața Centronics. Procedul *handshake* este caracterizat de următoarea succesiune a semnalelor: după cel puțin 500 ns de la transmiterea datelor pe liniile de date (8) ale magistralei, aparatul emițător (aici, PC-ul) va transmite un semnal de preluare (*Strobe*) de durată minimă de 500 ns. După alte cel mult 500 ns, imprimanta semnalizează prin intermediul semnalului de *Busy*, faptul că este în procesul de preluare a datelor primite. Acest semnal poate persista mai mult timp dacă, de exemplu, buffer-ul imprimantei este plin și trebuie așteptată efectuarea imprimării pentru golirea lui și preluarea unui nou set de date. Apoi (după cel mult 10  $\mu$ s de la inactivarea semnalului de *Busy*), devine activ semnalul de *Acknowledge* (varianta Centronics). În varianta Epson, acest semnal apare cu aproximativ 7  $\mu$ s înainte de frontul descrescător al semnalului *Busy*.



**Fig. 3.10** Diagrama semnalelor pentru protocolul de comunicație pentru interfața Centronics.

În cazul în care se utilizează imprimanta conectată la portul serial al calculatorului, sau atunci când există mai multe porturi paralele (extrem de rar) sau dacă pur și simplu nu se conectează nici o imprimantă, atunci portul paralel disponibil poate fi utilizat pentru comanda circuitelor de măsurare, reglare și comandă. În cazul PC-urilor, interfața paralelă este accesată prin intermediul următoarelor *adrese de port*:

- LPT1: 3BC H ÷ 3BE H
- LPT2: 378 H ÷ 37A H

- LPT3: 278 H ÷ 27A H

### 3. TIPURI DE SISTEME DE ACHIZIȚII DE DATE

#### 3.3 SISTEM DE ACHIZIȚII DE DATE CU MULTIPLEXARE TEMPORALĂ

Cea mai simplă structură de sistem de achiziții de date (fig. 3.1) presupune utilizarea *multiplexării temporale*. Diferitele semnale analogice de pe cele  $n$  canale sunt multiplexate la intrarea circuitului de eșantionare - memorare care reține, de fiecare dată, valoarea unui eșantion, în vederea conversiei.

În acest proces, *circuitul de eșantionare-memorare* realizează o dublă funcție:

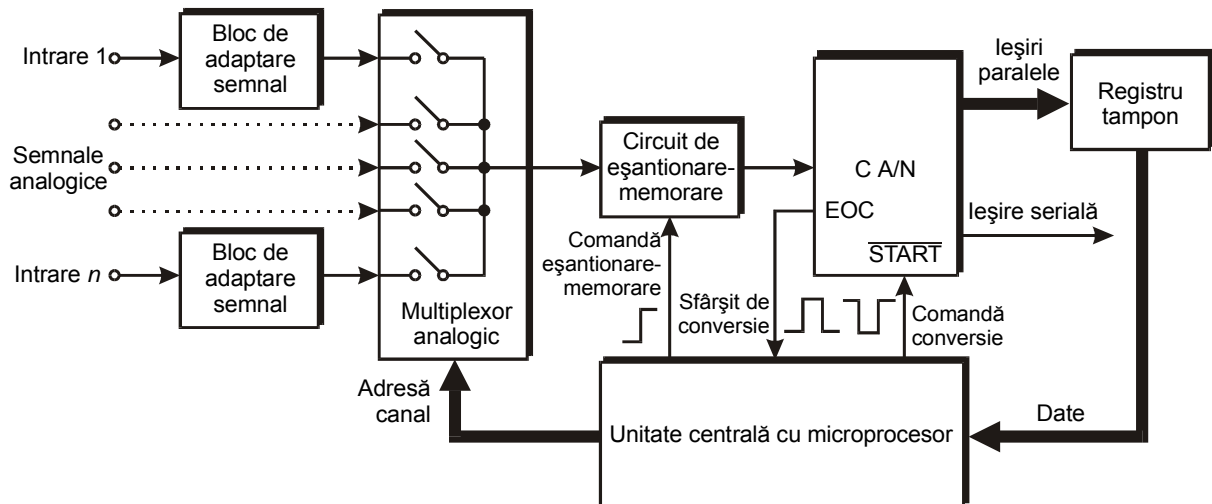
- menține constant (în limite de cel mult  $\pm 0,5$  LSB - Least Significant Bit - bitul cel mai puțin semnificativ) semnalul achiziționat la intrarea convertorului analog-digital;
- permite o utilizare cât mai eficientă a timpului de achiziție, comutarea următorului canal putând avea loc pe durata cât circuitul de eșantionare-memorare se găsește în starea de memorare și tensiunea sa de ieșire este supusă procesului de conversie analog-digitală.

*Multiplexorul analogic* permite utilizarea unui singur convertor analog-digital, pentru  $n$  canale analogice; de regulă  $n$  este de forma  $2^k$ . Multiplexorul este o componentă electronică, conținând  $n = 2^k$  comutatoare analogice, ale căror ieșiri sunt conectate împreună, pentru a furniza ieșirea unică a multiplexorului; numărul de comutatoare determină numărul de intrări ale multiplexorului. Comanda de închidere și de deschidere a comutatoarelor analogice este efectuată prin intermediul a  $\log_2 n = k$  intrări de selecție.

Când dinamica procesului de colectare a datelor permite acest lucru, se poate mări numărul de canale analogice de intrare, care se pot conecta, prin multiplexare, la același lanț de conversie, folosind *structuri de tip arbore de multiplexoare*, deoarece multiplexoarele semiconductoare analogice sunt disponibile doar în combinații **2:1**, **4:1**, **8:1**, **16:1**.

Din fig. 2.1, se remarcă *funcțiunile unității centrale*. Aceasta trebuie să asigure:

- semnalul de comandă a circuitului de eșantionare-memorare;
- semnalul de inițiere a conversiei (**START**) a convertorului analog-digital; la sfârșitul fiecărei conversii, convertorul **CA/D** furnizează un semnal, **EOC** (**End of Conversion** - sfârșitul conversiei), pentru a semnala în exterior că ieșirea numerică este disponibilă și stabilă;
- semnalele de selecție a canalului pentru multiplexor, adresarea canalelor de intrare putând fi făcută fie secvențial, fie aleatoriu.



**Fig. 3.1** Sistem de achiziții de date cu multiplexare temporală.

*Timpul de achiziție, pentru un canal  $i$ ,  $T_{ACH}^i$  poate fi determinat astfel:*

$$T_{ACH}^i = t_{E/M} + t_{MUX} + t_C + t_{MEM}; i = 1 \div n \quad (3.1)$$

în care semnificația mărimilor ce intervin este următoarea:

- $t_{E/M}$  - timpul de eșantionare-memorare, compus din timpul de comandă și timpul de achiziție;
- $t_{MUX}$  - timpul de multiplexare, compus din timpul de comandă și din timpul de stabilire al multiplexorului;
- $t_C$  - timpul conversie, compus din timpul de comandă și din timpul de conversie analog-digitală;
- $t_{MEM}$  - timpul memorare a rezultatelor, rezultat ca suma timpilor de execuție a unei instrucțiuni de citire a rezultatelor de la convertorul analog-digital și a unei instrucțiuni de scriere a rezultatelor în memorie.

***Pentru  $n$  canale de intrare, timpul de eșantionare,  $T_e$ , se calculează astfel:***

$$T_e = \sum_{i=1}^n T_{ACH}^i = n \cdot (t_{E/M} + t_{MUX} + t_C + t_{MEM}) \quad (3.2)$$

***Sistemul cu multiplexor analogic***, care permite accesul secvențial al semnalelor, are dezavantajul unei viteze reduse de măsurare, soluția fiind, în schimb, cea mai ieftină.

*Frecvența maximă de eșantionare,  $f_e$ , a acestui sistem de achiziții de date rezultă:*

$$f_e = \frac{1}{T_e} \quad (3.3)$$

de valoare relativ mică, ceea ce conduce la observația, conform teoremei eșantionării a lui Shannon:

$$f_e \geq 2 \cdot f_{\max} \quad (3.4)$$

***că această arhitectură de sistem de achiziții de date nu poate fi folosită în mod eficient pentru monitorizarea unor semnale de frecvență mare, sau rapid***

*variabile în timp.*

Trebuie, însă, precizat faptul că, de obicei, unitatea centrală nu este proprie sistemului de achiziții de date, ci este mult mai corect să vorbim de o interfață de achiziții de date compatibilă cu un sistem de calcul compatibil **IBM - PC XT/AT**, acest sistem constituind unitatea centrală de prelucrare.

Un exemplu reprezentativ de *sistem de achiziții de date cu multiplexare temporală* este constituit de sistemul **DAS 1600**, produs de firma **Keithley**.

Acest sistem de achiziții de date se compune din:

- *interfață de achiziții de date*;
- *microsistem de calcul*, compatibil **IBM PC/AT**, organizat în jurul unei magistrale de tip **ISA**<sup>3</sup>.

Schema bloc a interfeței de achiziții de date **DAS 1600** este prezentată în fig. 3.2.

Interfața **DAS 1600** permite achiziția a **16** semnale de intrare analogice nediferențiale, sau a **8** semnale analogice de intrare complet diferențiale, în gama  $\pm 5\text{V}$ , frecvența maximă de eșantionare pentru un canal fiind de **100 kHz**.

Selecția modului de lucru (nediferențial sau diferențial) se face printr-o configurare *hardware*. Semnalele de selecție a canalului curent eșantionat sunt asigurate de o logică de comandă și incrementare, constituită dintr-un numărator și circuite auxiliare. Această logică permite atât baleierea secvențială, cât și aleatoare, a canalelor de intrare.

Ieșirea *multiplexorului analogic* este aplicată unui *amplificator de instrumentație*, a cărui amplificare este selectabilă *software*, funcție de nivelul semnalului de intrare. Amplificarea este comandată prin intermediul unui cuvânt de doi biți, astfel încât la ieșirea amplificatorului de instrumentație, nivelul semnalului să fie adus în gama  $\pm 5\text{ V}$ . Nivelul optim al amplificării este stabilit prin utilizarea unui *registru de stare*, registru care conține și informații despre canalul de intrare selectat, starea procesului de conversie, etc. De asemenea, un circuit auxiliar permite selectarea polarității semnalului de intrare.

*Conversia analog-digitală* este realizată pe **12** biți, rezoluția asigurată fiind de **2,44 mV**.

Interfața **DAS 1600** dispune de *două convertoare digital-analogice* cu multiplicare, pe **12** biți, a căror tensiune de referință și polaritate a ieșirii pot fi selectate *hardware*. Tensiunea de referință poate fi furnizată fie de o sursă de referință de **-10 V** sau **-5 V**, fie de o tensiune externă.

Transferul datelor, sub formă numerică în complement față de doi, către sistemul de calcul se face prin intermediul unei interfețe **DMA**<sup>4</sup>, al cărei nivel de prioritate poate fi configurat *hardware*.

*Subsistemul numeric al interfeței de achiziții de date DAS 1600* este divizat în trei părți importante:

---

<sup>3</sup> **ISA** - Industrial Standard Architecture - arhitectură industrială standard

<sup>4</sup> **DMA** - Direct Memory Access - logică de acces direct la memorie.



- **logica de control**, care include:
  - *registrul de date* al convertorului analog-digital și al multiplexorului analogic de intrare;
  - *logica de comandă și incrementare* a multiplexorului analogic;
  - *registrul de stare*;
  - *registrul de control* (comandă);
  - *logica de selecție a modului de **trigger***-are a procesului de achiziție;
  - *logica de ceas* cu frecvența de 10 MHz;
  - *logica de selecție și decodificare*;
  - *logica de gestionare a întreruperilor*;
  - *logica de comandă a canalului **DMA***,  
are rolul de a gestiona desfășurarea procesului de achiziție;
- **interfețele programabile de intrare-ieșire**, constituite din:
  - *trei contoare programabile* de **16** biți, organizate într-un circuit **8254** și folosite pentru selectarea frecvenței de eșantionare, efectuarea unui număr prestabilit de eșantioane;
  - *trei porturi paralele, bidirecționale*, dispunând de **8** biți, organizate într-un circuit **8255** și folosite ca linii digitale de intrare-ieșire;
  - *un registru de intrare* de **4** biți, folosit pentru sincronizarea externă a comenzilor de achiziție;
  - *un registru de ieșire* de **4** biți;
- **logica de interfață cu magistrala sistemului de calcul**, ce înglobează circuite de tip tampon pentru liniile de date.

Pentru alimentare, interfața **DAS 1600** necesită o singură tensiune de **+5V**. Celelalte tensiuni, **±15 V**, necesare funcționării sunt asigurate de un convertor curent continuu - curent continuu, cu care este echipată interfața. Tensiunea de referință, cu valoarea de **-5V**, este asigurată de sursa internă, implementată în convertorul analog-digital.

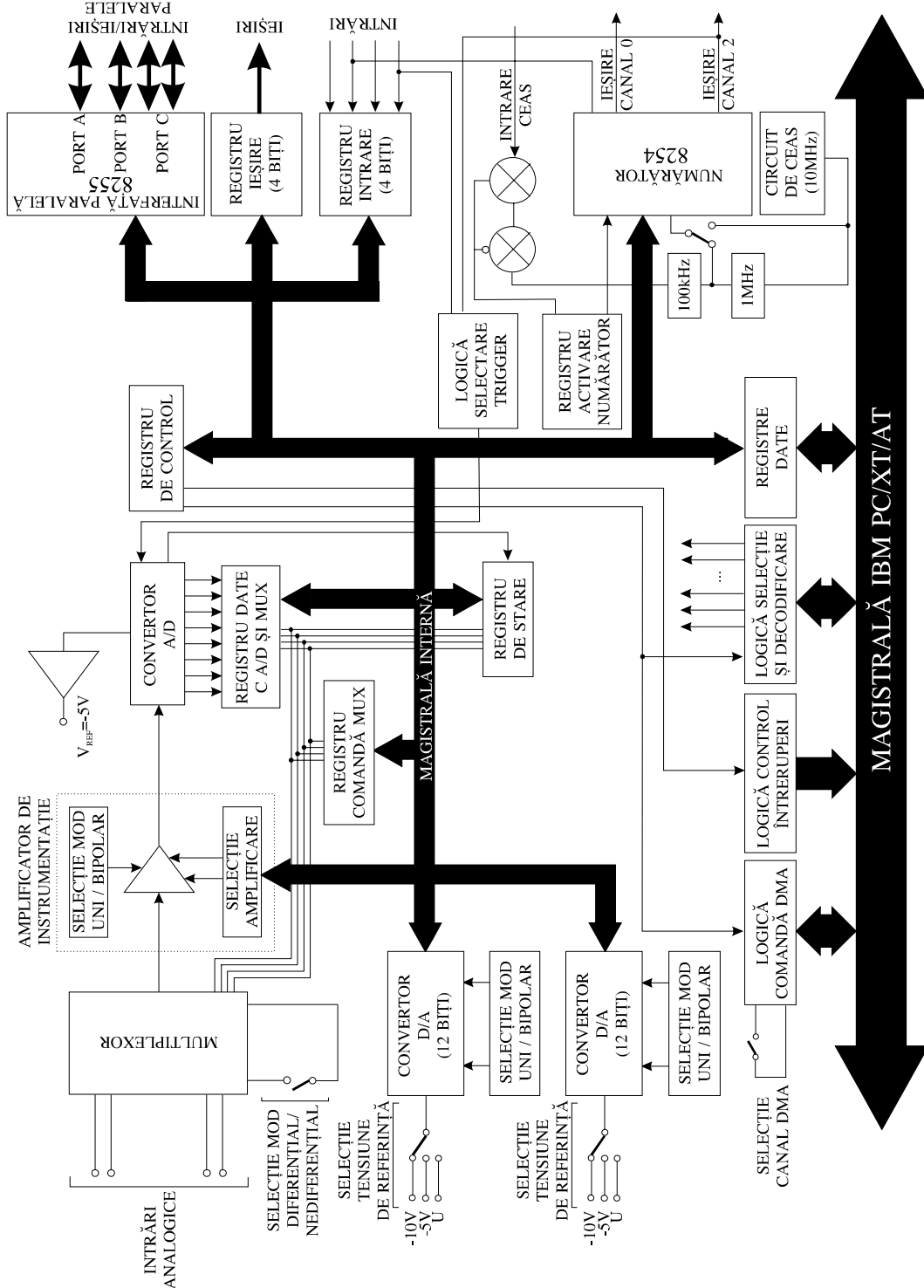


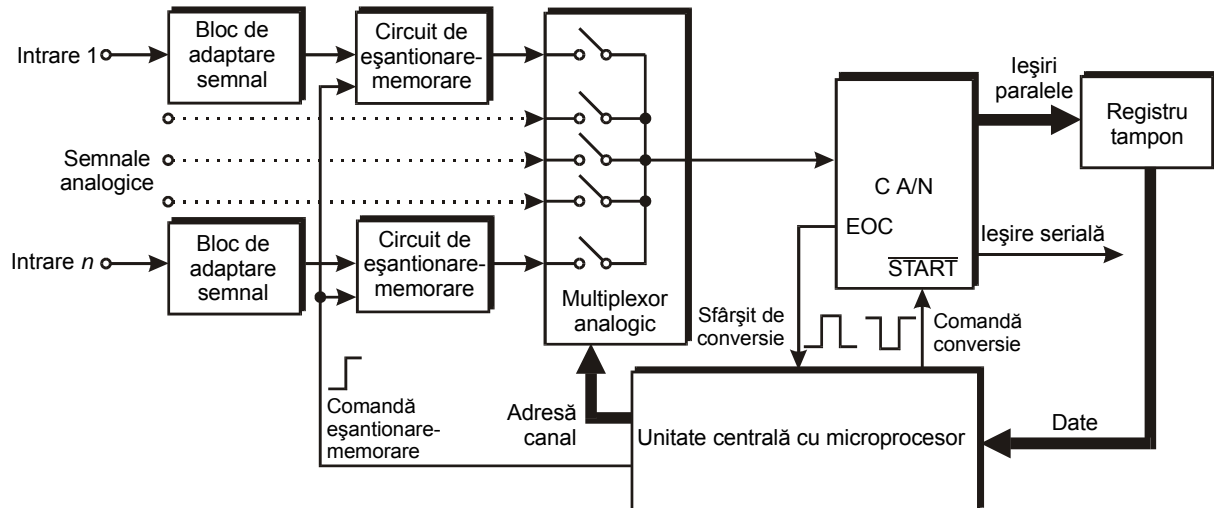
Fig. 3.2 Schema bloc a interfeței de achiziții de date DAS-1600.

### 3.4 SISTEM DE ACHIZIȚIE SINCRONĂ DE DATE

În arhitectura sistemului de achiziții de date, reprezentat în fig. 3.3, se remarcă amplasarea, pe fiecare canal de intrare, a câte unui circuit de eșantionare-memorare, E/M, în amonte față de multiplexor. Comanda pentru trecerea în stare de memorare este dată simultan, pentru toate circuitele E/M, după care ieșirile

acestora sunt multiplexate la intrarea convertorului **CA/D**. Multiplexarea canalelor analogice de intrare se poate face fie secvențial, fie aleator.

Deoarece timpul de așteptare, în vederea conectării la intrarea convertorului **CA/D**, poate fi destul de lung, circuitele de **E/M** trebuie să prezinte o rată redusă de alterare a tensiunii memorate.



**Fig. 3.3** - Sistem de achiziție sincronă de date.

*Timpul de eșantionare,  $T_e$ , pentru  $n$  canale analogice de intrare rezultă:*

$$T_e = \sum_{i=1}^n T_{ACH}^i = t_{E/M} + n \cdot (t_{MUX} + t_C + t_{MEM}) \quad (3.15)$$

Se constată scăderea timpului de eșantionare în raport cu acela corespunzător arhitecturii cu multiplexare temporală, însă, cu toate acestea  $T_e$ , timpul de eșantionare, depinde încă, în mod dramatic, de numărul de canale de intrare, cu care este prevăzut sistemul de achiziții de date.

Ca exemplu, în continuare este prezentată arhitectura interfeței de achiziții de date **EISA-2000**, produsă de firma **National Instruments**.

Acest *sistem rapid de achiziții de date*, produs de firma **National Instruments**, este realizat sub forma unei plăci echipate cu un conector compatibil cu magistrala **EISA**<sup>5</sup> a sistemelor de calcul compatibile **PC**. Interfața dispune de *patru canale analogice de intrare*, fiecare echipat cu propriul circuit de eșantionare-memorare. Viteza maximă de eșantionare este:

- **1 MHz**, în cazul eșantionării pe un singur canal;
- **500 kHz**, în cazul eșantionării simultane a două canale;
- **250 kHz**, în cazul eșantionării simultane a celor patru canale analogice de intrare.

Procesul de achiziție a datelor, pentru fiecare canal analogic de intrare,

<sup>5</sup> **EISA** - Extended Industrial Standard Architecture - arhitectură industrială standard extinsă.

poate fi declanșat cu ajutorul unor circuite de tip *trigger*<sup>6</sup> de tip *software*, analogic (nivelul analogic de *trigger*-are este programabil pe 10 biți, în intervalul (-5,12...+5,12)V, cu posibilitatea de alegere a polarității) sau digital. Deoarece întregul proces de configurare și de calibrare este controlat prin program, nu este necesară intervenția asupra sistemului de calcul în care a fost instalată interfața de achiziții.

Interfața rapidă de achiziții de date **EISA-A2000** utilizează sistemul de integrare în timp real **RTSI**<sup>7</sup>, elaborat de firma **National Instruments**, pentru a sincroniza funcționarea mai multor plăci de achiziții de date, de tip **EISA** sau **AT**, instalate într-un sistem de calcul. Prin utilizarea unui *controller DMA*, interfața **EISA-A2000** poate transfera datele direct în memoria sistemului de calcul în modul *burst* ("rafală") cu rate de maxim 16,5 Mocteți/secundă.

Ca domenii generale de aplicații, interfața **EISA-A2000** poate fi utilizată în aplicații de laborator sau industriale. Cele patru intrări analogice rapide, cu rezoluție de 12 biți, permit utilizarea interfeței pentru analiza, de înaltă precizie, de semnal, pentru analiza regimurilor tranzitorii, etc. Eșantionarea sincronă multicanal este deosebit de utilă în cazul analizei fazei a mai multor semnale.

## STRUCTURA HARDWARE A INTERFEȚEI DE ACHIZIȚII DE DATE EISA-A2000

În fig. 3.4 este prezentată schema bloc a interfeței de achiziții de date **EISA-A2000**.

**Circuitele analogice de intrare:** Circuitele de eșantionare-memorare și convertorul analog-digital, cu rezoluție de 12 biți, permit digitizarea unui eșantion o dată la o microsecundă. Banda maximă de frecvență a semnalelor de intrare este pentru semnal mic de 4 Mhz, iar de semnal mare de 1,1 MHz. Gama tensiunilor de intrare acceptate de sistem este de  $\pm 5V$ . Selecția tipului de semnal de intrare ( $AC^8/DC^9$ ) se face prin program. În cazul opțiunii **AC**, intrările analogice asigură o rejecție a semnalelor continue de  $\pm 30V$ . Toate canalele analogice de intrare sunt echipate cu circuite de protecție la supratensiuni de intrare de până la  $\pm 30V$ , atât în condiții de funcționare a interfeței, cât și dacă interfața nu este alimentată.

Interfața de achiziții **EISA-A2000** asigură o rezoluție de 12 biți, ceea ce este echivalent cu o rezoluție analogică de 2,44mV. Este posibilă creșterea rezoluției efective peste 12 biți, folosind generatorul *Gauss Dither*, implementat pe placă, și medierea eșantioanelor achiziționate. Rezoluția este automat crescută la 16 biți, rezultatul fiind reprezentat în complement față de doi.

**Circuitele de autocalibrare:** Interfața **EISA-A2000** conține un nucleu *software* de autocalibrare a circuitelor de intrare analogice. Sursa de referință

<sup>6</sup> **Trigger** - circuit de declanșare.

<sup>7</sup> **RTSI** - **Real-Time System Integration** - interfață de integrare sistem, în timp real.

<sup>8</sup> **AC** - **Alternative Current** - semnal variabil în timp după o lege sinusoidală.

<sup>9</sup> **DC** - **Direct Current** - semnal continuu, invariabil în timp.

internă asigură o înaltă precizie și stabilitate în timp și cu temperatura. Sunt, de asemenea, disponibile circuite pentru reglajul de offset pentru fiecare canal, asigurând scăderea erorii de offset la mai puțin de **0,25 LSB**. Procesul de calibrare nu necesită conexiuni exterioare. Datele necesare pentru efectuarea autocalibrării sunt memorate într-un circuit de memorie **E<sup>2</sup>PROM**, amplasat pe placă.

**Circuitele analogice și digitale de trigger**-are: **EISA-A2000** dispune atât de circuite analogice, cât și digitale de **trigger**-are pentru declanșarea procesului de achiziții de date. Există trei moduri pentru declanșarea convertorului analog-digital, **CA/D**:

- în modul analogic de **trigger**-are, procesul de achiziție este demarat de un semnal analogic de intrare, atunci când atât nivelul semnalului, cât și polaritatea acestuia, corespund valorilor programate. Un convertor digital-analog generează tensiunea de prag, cu o rezoluție de **10 mV**. Se compară nivelul tensiunii de intrare cu această tensiune de prag programată; conversia este declanșată la egalitatea celor două tensiuni și este, de asemenea, îndeplinită condiția de polaritate. Semnalul de **trigger** analogic poate fi selectat de la oricare dintre cele patru canale analogice de intrare sau de la o intrare externă;
- în modul digital de **trigger**-are, există opțiunea de a selecta prin program care dintre fronturile semnalului, crescător sau scăzător, va declanșa procesul de achiziție;
- în modul **software** de **trigger**-are, procesul de achiziții de date este declanșat prin program.

**Circuitele de secvențializare și de comandă a conversiei** prezintă trei moduri de **trigger**-are pentru procesul de achiziții de date: *modul de lucru cu pretrigger*-are, *modul de lucru cu întârziere față de semnalul de trigger*-are și *modul de lucru cu posttrigger*-are.

În *modul de lucru cu pretrigger*-are, procesul de achiziție este declanșat prin **software**; acesta continuă, depunând rezultatele într-un **buffer** circular, până când se primește un semnal de trigger analogic sau digital.

În cel de-al doilea mod de lucru, se poate selecta, prin program, un timp de întârziere, pe durata căruia procesul de achiziție este inhibat, de la primirea unui semnal **trigger** analogic sau digital.

În *modul de lucru posttrigger*, achiziția începe după ce interfața **EISA-A2000** primește un semnal **trigger** analogic, digital sau **software**.

Prin combinarea modurilor de lucru, se poate achiziționa un număr pre-programat de eșantioane, înainte sau după îndeplinirea unei condiții de **trigger**-are.

**Logica de comandă și timing a achiziției:** Aceste circuite generează semnalele de secvențializare (**timing**) și de comandă a procesului de achiziție. **Timing**-ul de conversie multiplă analog-digitală este comandat fie de un circuit de tip numărător, implementat pe interfața **EISA-A2000**, fie de un ceas extern de eșantionare.

**Circuitul de numărare**, pe 16 biți, cu care este echipată placa, generează *timing*-ul necesar pentru conversia analog-digitală. Acest circuit dispune de baze de timp, selectabile *software*, de 200ns, 1μs, 10μs, 100μs, 1ms și 10ms. Intervalul minim de eșantionare, în cazul operării monocanal, este de 1μs. Dacă este necesar în cadrul aplicației, numărătorul intern poate fi înlocuit cu un semnal de ceas de eșantionare extern. Numărul de eșantioane prelevate în cadrul aplicației, pe fiecare canal, este monitorizat de un numărător pe 32 de biți, care oprește procesul de achiziție la atingerea numărului preprogramat de eșantioane.

**Interfața de magistrală RTSI: EISA-A2000** este interfațată cu magistrala RTSI National Instruments printr-un comutator, de fapt o rețea bidirecțională de porți de comutare de tip *crossbar*. Liniile magistralei RTSI includ semnalele externe de *trigger*, semnalul de ceas extern de eșantionare și semnale de intrare-ieșire de numărare. Folosind aceste linii de semnal, mai multe interfețe EISA-A2000 pot fi sincronizate să achiziționeze sincron semnalele analogice de intrare.

**Interfața de magistrală EISA:** Interfața de achiziții de date este complet compatibilă cu magistrala EISA, putând manipula liniile de cerere DMA de pe această magistrală. Un circuit *buffer*, cu capacitate de 512 cuvinte, previne pierderea de informații în condițiile în care datele nu pot fi transferate imediat în memorie. Astfel, mai multe interfețe EISA-A2000, cuplate în sistemul de calcul, pot funcționa la întreaga capacitate.

Interfața cu magistrala EISA dispune, de asemenea, de linii de întrerupere, logică DMA, registre de comandă și de stare. Această interfață este astfel proiectată încât permite ca mai multe sisteme EISA-A2000 să poată partaja magistrala sistemului de calcul, prin transferarea datelor în “rafală” cu rate extrem de ridicate, lăsând suficiente posibilități de servire a celorlalte resurse ale sistemului.

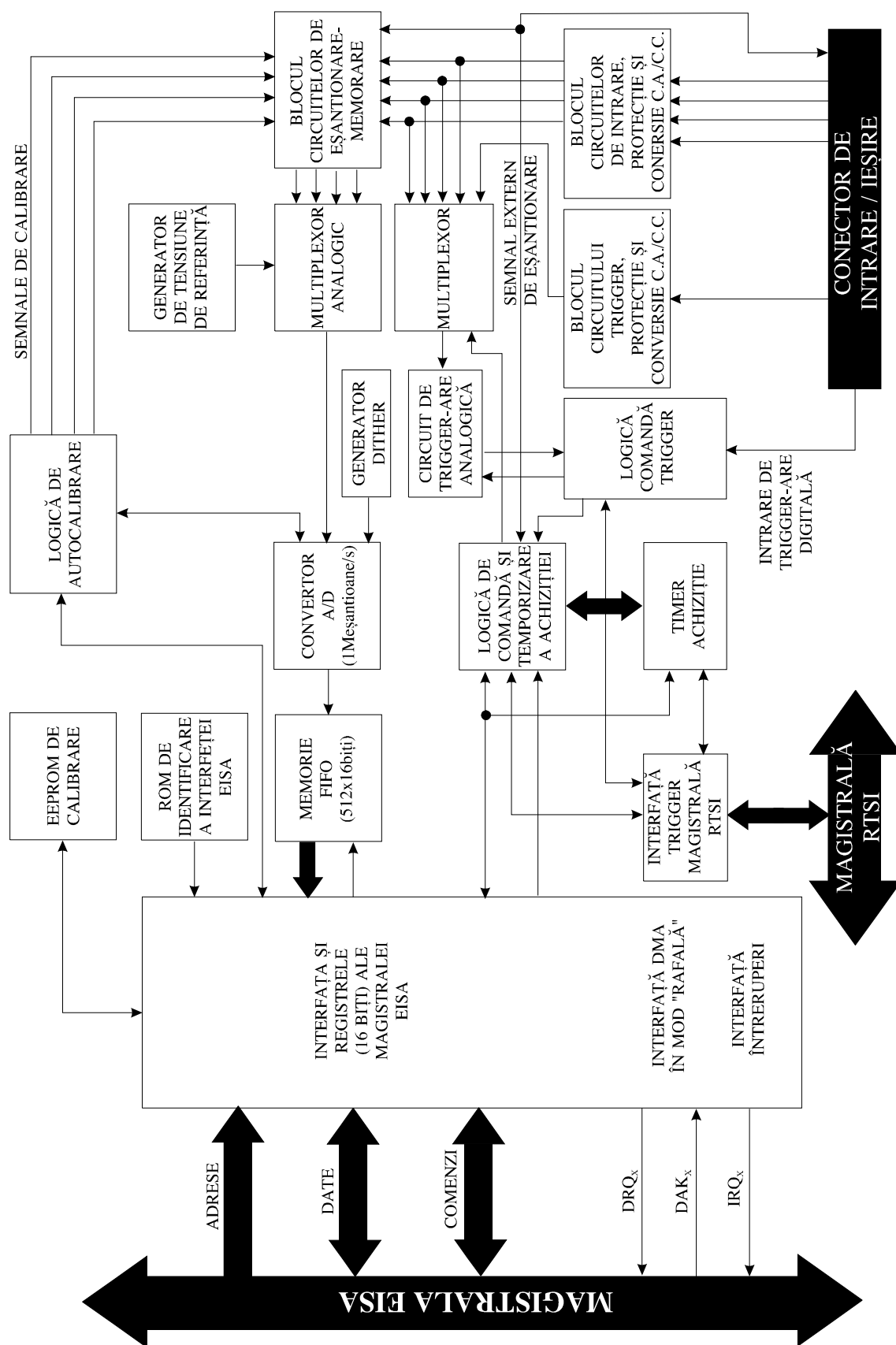


Fig. 3.4 Schema bloc a interfeței de achiziții de date EISA-2000.

### 3.5 SISTEM RAPID DE ACHIZIȚII DE DATE

În cazul în care semnalele de intrare evoluează rapid în timp, cele două arhitecturi precedente, care se bazează pe un singur **CA/D** pentru conversie, nu mai sunt utilizabile.

În consecință, pentru mărirea vitezei de măsurare, se utilizează arhitectura de sistem prezentată în fig. 3.5, care are câte un convertor **CA/D**, pentru fiecare canal, precedat de elemente de eșantionare - memorare, **E/M**.

Structura sistemului, așa cum este prezentată în fig. 3.5, în care cele  $n$  intrări analogice sunt conectate împreună, permite folosirea *tehnicii de supraeșantionare* pentru achiziția semnalului de intrare. În această configurație, *viteza de achiziție este practic multiplicată de  $n$  ori față de aceea care se obține prin eșantionarea secvențială.*

Informațiile, de la ieșirile convertoarelor analog-digitale, sunt aplicate unui **multiplexor numeric**, care selectează datele primite și le transmite secvențial pe magistrala sistemului de calcul. Trebuie precizat că marea majoritate a convertoarelor analog-digitale realizate în momentul actual sunt astfel concepute încât înglobează *circuite de interfață cu un microprocesor pe 8/16 biți*. Aceste circuite de interfață constau în implementarea internă a unor registre cu ieșiri cu trei stări, pentru preluarea rezultatelor și a unor semnale de dialog specifice magistralei unui microprocesor. Echiparea ieșirilor circuitului de conversie cu registre cu trei stări permite eliminarea multiplexorului numeric din structura prezentată anterior, legarea mai multor ieșiri cu trei stări la aceeași linie de date a magistralei sistemului implementând, de fapt, un multiplexor cablat.

*Timpul de eșantionare,  $T_e$ , pentru  $n$  canale analogice de intrare, caracteristic acestei arhitecturi de sistem de achiziții este:*

$$T_e = \sum_{i=1}^n T_{ACH}^i = t_{E/M} + t_C + n \cdot (t_{MUX} + t_{MEM}) \quad (3.6)$$

Trebuie să menționăm că, pentru această arhitectură de sistem de achiziții de date, timpul elementar de multiplexare,  $t_{MUX}$ , este corespunzător unui **multiplexor numeric** și este considerabil mai redus în comparație cu situațiile anterioare, deoarece timpul de stabilire al multiplexorului numeric este cu circa trei ordine de mărime mai mic decât cel al unui multiplexor analogic.

Avantajele acestei structuri de sistem de achiziții sunt următoarele:

- pot fi utilizate convertoare **CA/D** mai lente, și deci mai ieftine, chiar dacă se dorește o viteză mare de achiziție;
- prin conversia locală sub formă numerică, se asigură o bună imunitate la perturbații;
- posibilitatea separării galvanice a unei surse de semnal, împreună cu convertorul **CA/D** aferent, față de restul sistemului.



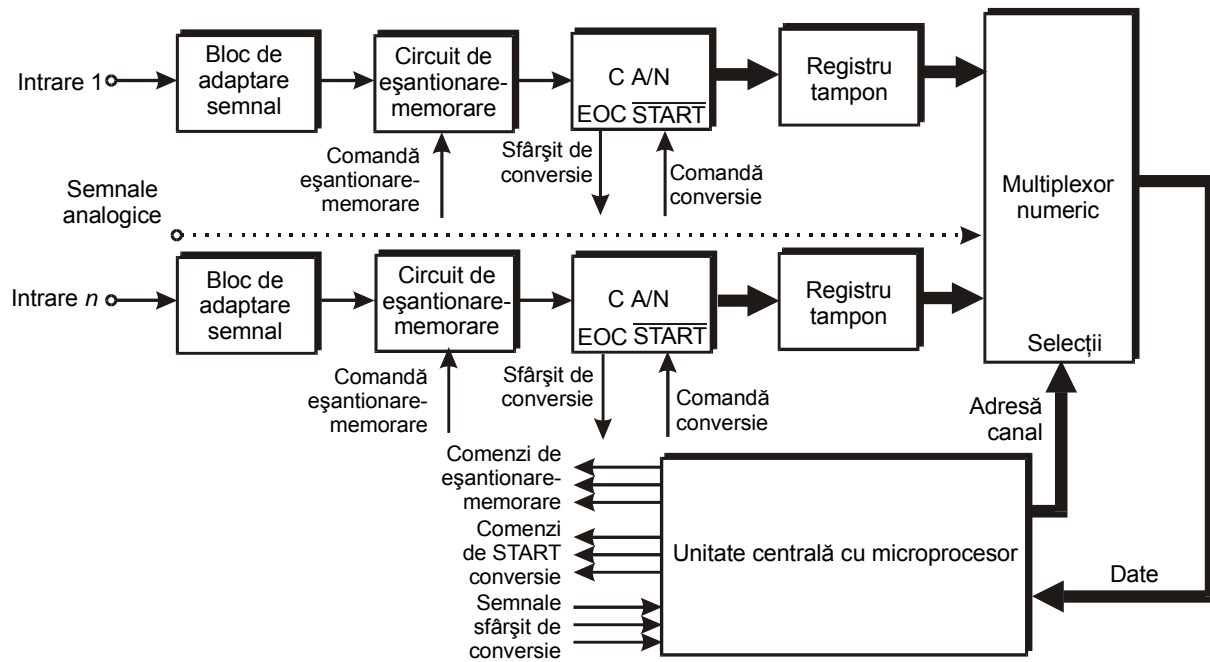


Fig. 3.5 - Sistem rapid de achiziții de date.

### 3.6 UNITATEA CENTRALĂ DE COMANDĂ

Unitatea centrală de prelucrare a unui sistem de achiziție de date trebuie să realizeze următoarele funcțiuni (fig. 2.1):

- selectarea canalului analogic, pe care se dorește să se facă achiziția;
- comanda eșantionării;
- comanda conversiei analog-digitale;
- sesizarea sfârșitului conversiei și citirea codului binar rezultat;
- încărcarea codului în memorie;
- corecția erorilor introduse de diferite blocuri componente;
- prelucrarea și afișarea datelor;
- testarea blocurilor componente în vederea identificării celor defecte.

Principal, sunt posibile două abordări:

- **logica cablată**, bazată pe circuite electronice cu grad redus de integrare, dar de viteză mare;
- **logica programată**, cu avantajul unei flexibilități și capacități de prelucrare a datelor foarte ridicate, dar cu o viteză mai redusă.

**Logica cablată** conduce la realizarea unei unități de comandă a achiziției, fără programe, deci fără parte **software**, folosind în exclusivitate resurse **hardware**, astfel conectate, încât să permită funcționarea achiziției în mod automat. Se folosește tehnologia **bipolară**, **MOS** (**M**etal **O**xid **S**emiconductor - tehnologie metal-oxid-semiconductor) și **CMOS** (**C**omplementary **M**etal **O**xid **S**emiconductor - tehnologie metal-oxid-semiconductor, de tip complementar) de realizare a circuitelor.

**Logica programată** se bazează pe simbioza dintre o parte electronică,

fizică, așa-numitul **hardware**, care constituie suportul material al operațiilor de comandă și prelucrare și, pe de altă parte, programele, partea informațională, numită curent **software**; **software**-ul impune **hardware**-ului operațiile ce urmează să le desfășoare conform algoritmului proiectat de programator. Elementul central al **hardware**-ului este *microprocesorul*.

În practică, nu se utilizează niciodată, în exclusivitate, logica cablată, ci, fie o metodă combinată, fie doar logica programată.

### 3.7 SISTEME DE ACHIZIȚIE DE DATE CU MICROPROCESOR

Un sistem de achiziție de date, asociat cu un microsistem de calcul, se comportă ca un sistem **intelligent** (care poate lua decizii bazate pe informații anterioare, prelucrează informația, efectuează calcule, după care, pe baza rezultatelor obținute, adoptă o decizie, din mai multe soluții posibile).

#### 3.7.1 UNITĂȚI CENTRALE DE PRELUCRARE TRADIȚIONALE

Microprocesorul reprezintă elementul funcțional esențial al microsistemului de calcul, fiind un circuit integrat pe scară largă, **LSI** (Large Scale Integration - integrare pe scară largă), care poate realiza cinci funcții de bază:

- funcția de intrare (**INPUT**), care permite legătura dintre lumea exterioară și sistem;
- funcția de ieșire (**OUTPUT**), care permite legătura dintre sistem și lumea exterioară;
- funcția de memorare (**MEMORY**), care permite păstrarea informațiilor (date, rezultate) și, uneori, a instrucțiunilor programului;
- funcția de prelucrare (**COMPUTE**), implementată prin **ALU** (Arithmetic Logic Unit - unitate aritmetico-logică), care permite efectuarea operațiilor aritmetice și logice din sistem;
- funcția de control (**CONTROL**), care înglobează totalitatea acțiunilor de secvențializare și control ale activității sistemului.

În interiorul microsistemului de calcul, informațiile sunt vehiculate prin intermediul **magistralei**. **Magistrala unui sistem de calcul** este compusă din trei secțiuni:

- **secțiunea de date** (magistrala de date), care asigură schimbul bidirecțional de informație (date) între microprocesor, pe de o parte, și circuitele de memorie și de interfață, pe de altă parte;
- **secțiunea de adrese** (magistrala de adrese), unidirecțională, care asigură vehicularea biților de adresă, de la microprocesor sau de la un alt

dispozitiv **master** către celelalte elemente ale sistemului;

- **secțiunea de control** (magistrala de control), unidirecțională, care permite vehicularea semnalelor de sincronizare și control, între microprocesor sau un alt dispozitiv **master** și celelalte resurse ale sistemului.

Marea diversitate de componente electronice, cu funcțiuni, performanțe și costuri foarte diferite, impun proiectantului o definiție precisă a caracteristicilor și utilităților sistemului pe care îl concepe.

*Alegerea microprocesorului și a circuitelor periferice asociate* este dictată de analiza structurii **hardware** (constituite din componente de microinformatică, procesor, memorii, componente electronice clasice) și a structurii **software** (implementate în memorie), în vederea asigurării cerințelor de viteză de măsură și de versatilitate ale sistemului.

*Gama actuală de microprocesoare* cuprinde tipuri de **8, 16, 32 și 64** de biți; pe plan mondial ponderea o dețin, în continuare, microprocesoarele pe **16** biți, care oferă, la preț scăzut, performanțe bune.

Dintre microprocesoarele pe **8** biți, cele mai utilizate, cu performanțe satisfăcătoare, sunt tipurile: **INTEL 8080, INTEL 8085, ZILOG Z80, MOTOROLA 6800**. Dintre acestea, o largă utilizare o are, în aplicațiile curente, microprocesorul **ZILOG Z80**, care înglobează caracteristicile microprocesorului **INTEL 8080**, cu păstrarea compatibilității **software**, dar cu extinderea performanțelor acestuia.

În prezent, au început să fie utilizate pe scară largă **microcontroller**-ele pe **8 și 16** biți, care compensează o parte din dezavantajele microprocesoarelor tradiționale. Arhitectura unui **microcontroller** a fost astfel proiectată încât să ofere o **versatilitate** mult **superioară** celei a microprocesoarelor tradiționale, prin:

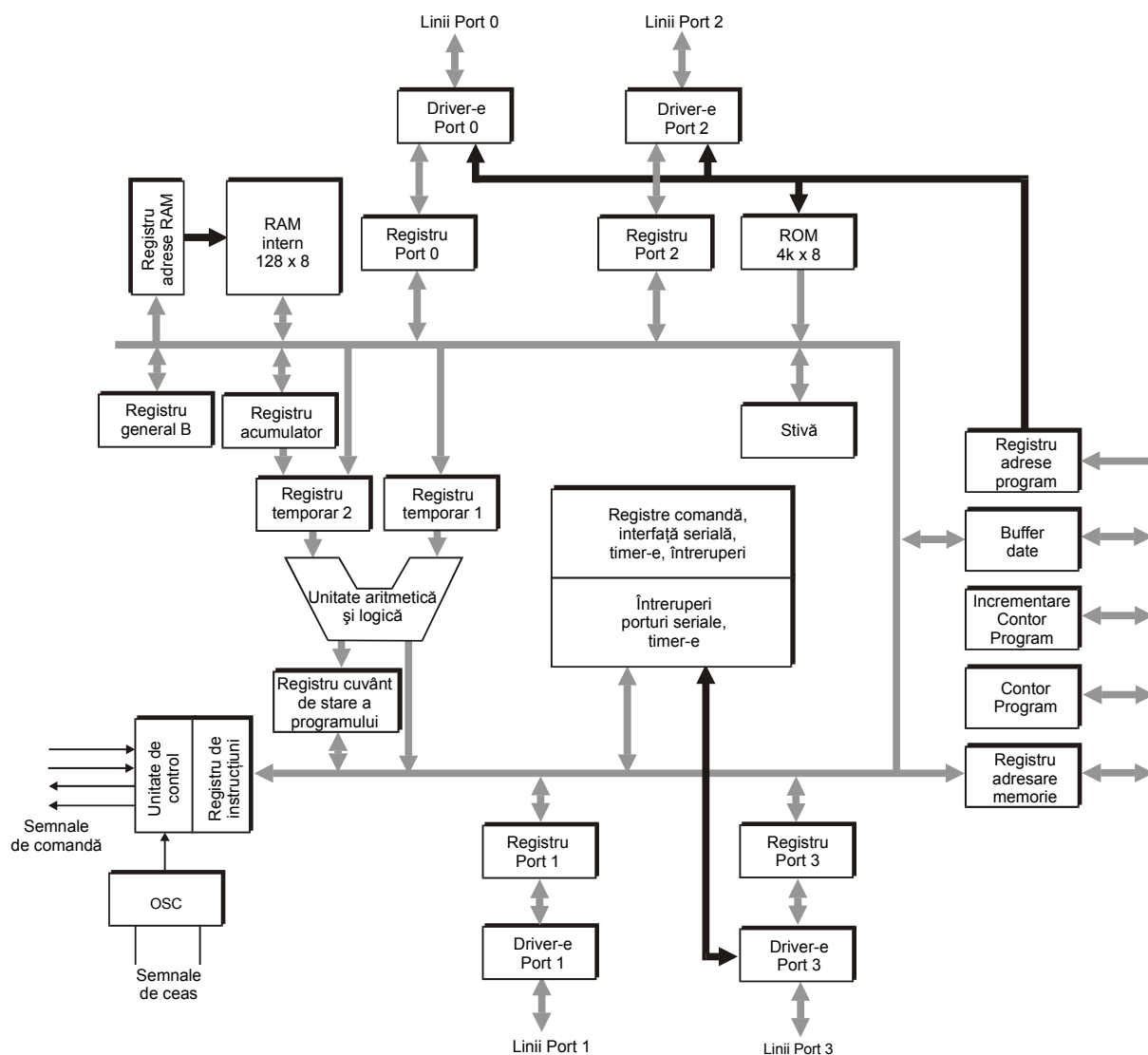
- *organizarea internă sub forma unui număr* de trei, patru sau cinci *porturi bidirecționale*, a căror funcționalitate poate fi stabilită de utilizator;
- *extinderea spațiului de adresare* prin separarea, din punct de vedere al accesului, a memoriei de date față de memoria de program;
- *înglobarea în structura microcontroller-ului a unei memorii de program* de tip **PROM** (**P**rogrammable **R**ead-**O**nly **M**emory - memorie programabilă, ce prezintă doar facilități de citire), cu capacitate relativ mică (în cele mai multe cazuri **4Kocteți**), ce poate fi parțial sau integral accesibilă operatorului pentru programul de aplicații. În cazul accesibilității parțiale a utilizatorului la această resursă, trebuie menționat faptul că într-o zonă a memoriei interne de program este rezident un interpretor **BASIC**, ceea ce permite programatorului să-și scrie aplicația în limbajul **BASIC** și nu în limbaj de asamblare;
- *înglobarea în structura internă a unor circuite de interfațare*, cum ar fi *interfețe seriale programabile* de comunicație, *interfețe paralele programabile* bidirecționale, *circuite de numărare programabile*, *convertoare analog-digitale*, *convertoare digital-analogice*, etc;

- un astfel de **microcontroller** lucrează la o frecvență a ceasului de câteva ori mai mare decât un microprocesor tradițional, ceea ce permite *creșterea vitezei de prelucrare* aproximativ în aceeași măsură;
- setul de instrucțiuni al unui **microcontroller** este substanțial îmbogățit, păstrând compatibilitatea cu cele ale microprocesoarelor tradiționale;
- tehnologia de realizare **CMOS**, folosită pentru implementarea majorității **microcontroller**-elor actuale, permite *scăderea substanțială a puterii consumate* de la sursa de alimentare, *creșterea fiabilității și siguranței în exploatare*.

Ca exemplificare la cele menționate anterior, se constată utilizarea extensivă a două familii de microcontrollere: familia **8051**, concepută și realizată de firma **INTEL** și familiile **Z8<sup>7</sup>**, **Z87 Super** ale firmei **ZILOG**. Arhitectura generală a familiei **8051**, respectiv a familiei **Z8<sup>TM</sup>**, este prezentată în fig. 3.6, respectiv 3.7.

Ambele familii de microcontroller-e au elemente arhitecturale comune, cum ar fi:

- pentru minimizarea liniilor de interconexiune cu exteriorul, *secțiunea de date și secțiunea inferioară de adrese* ale magistralei sistemului *sunt multiplexate temporal*;
- atât **8051**, cât și **Z8** pot funcționa fie ca microsisteme specializate de intrare-ieșire, fie ca microsisteme specializate de lucru cu memoria;
- în ambele tipuri de aplicații, *spațiul de adresare este partajat în trei secțiuni*:
  - *memoria de program* (internă și externă), cu capacitate maximă de **64K**octeți;
  - *memoria de date* (externă), cu capacitate variind între **60** și **64** Kocteți. Este nevoie să se facă precizarea că dispozitivele de intrare-ieșire externe sunt adresate de **microcontroller** ca seturi de celule de memorie de date;
  - *setul de registre interne*, conținând registre de uz general, registrele unității centrale de prelucrare și registrele asociate celor patru porturi de intrare-ieșire ale **microcontroller**-ului;
- ambele familii de **microcontroller**-e permit operarea la nivel de bit, la nivel de octet sau octet codificat zecimal, sau la nivel de cuvânt cu lungime de **2** octeți;
- operarea în regim de intrare-ieșire poate fi coordonată prin întreruperi sau în modul **polling** (interogare periodică). Sunt disponibile cinci/șase nivele de întreruperi, care pot fi mascate sau a căror prioritate poate fi modificată.

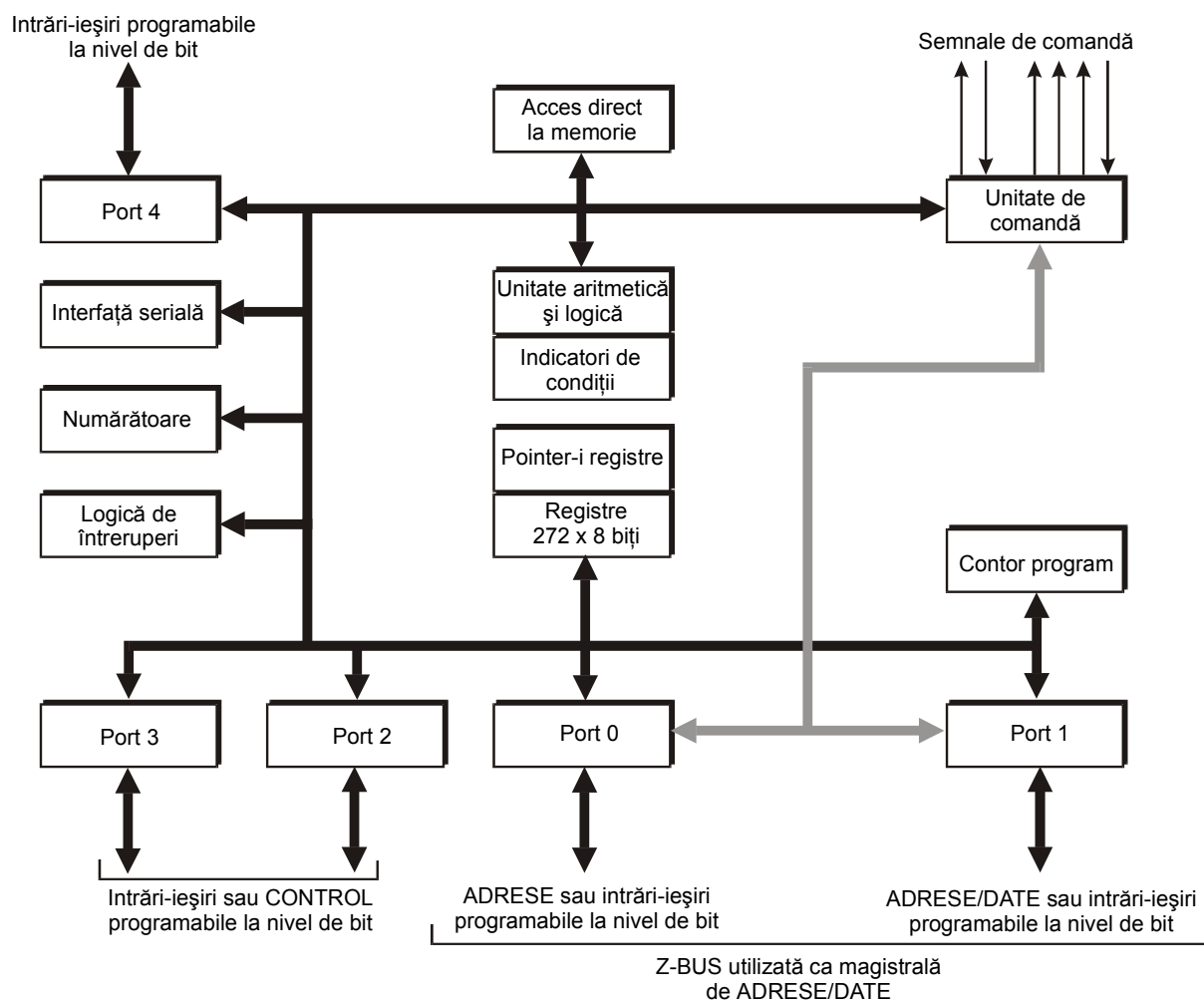


**Fig. 3.6** - Arhitectura de bază a familiei de microcontroller-e INTEL 8051.

În afară de *microprocesor*, componenta cea mai complexă, ale cărei caracteristici determină, în esență, structura și performanțele unității centrale, se disting (fig. 3.14):

- *memoriile nevolatile*;
- *memoriile volatile*;
- *circuitele de interfațare*;
- *decodificatoarele*.

**Memoriile nevolatile** - cu conținut permanent: **ROM** (Read-Only Memory - memorie, cu conținut permanent, ce poate fi doar citită), **PROM**, **EPROM** (Erasable Programmable Read-Only Memory - memorie cu conținut permanent ce poate fi doar citită și care dispune de facilități de ștergere a conținutului cu radiații ultraviolete), **EEPROM** (Electrical Erasable Programmable Read-Only Memory - memorie cu conținut permanent ce poate fi doar citită și care dispune de facilități de ștergere electrică a conținutului) - sunt destinate să stocheze programul pe care trebuie să-l efectueze *unitatea centrală de prelucrare*.



**Fig. 3.7** Arhitectura de bază a familiei de microcontrollere Zilog Z8™ Super.

**Memoriile volatile** - cu conținut nepermanent: **RAM** (Random Access Memory - memorie cu acces aleator), **SRAM** (Static Random Access Memory - memorie cu acces aleator, având drept element de memorare un circuit basculant bistabil), **DRAM** (Dynamic Random Access Memory - memorie cu acces aleator, având drept element de memorare un condensator) - sunt destinate să stocheze temporar eșantioanele, rezultatele parțiale și finale ale prelucrării, în timpul procesului secvențial de funcționare a sistemului de calcul.

**Circuitele de interfațare** sunt destinate să asigure comunicația microprocesorului cu echipamentele de intrare-ieșire. Prin intermediul porturilor de intrare, se citesc datele rezultate în urma conversiei analog-digitale, sau starea unui echipament periferic. Porturile de ieșire mijlocesc transferul de date de la unitatea de comandă la afișaj sau la alt calculator, respectiv sunt utilizate pentru inițializarea și programarea echipamentelor periferice.

**Decodificatoarele** sunt utilizate pentru decodificarea adreselor și generarea unor semnale de selecție care se exclud reciproc (un singur semnal de ieșire al decodicatorului poate fi activ la un moment de timp dat). Ieșirile decodificatoarelor sunt active pe nivel coborât, pentru a se realiza cu mai multă ușurință interfațarea cu echipamentele externe. Decodificatoarele permit microprocesorului să selecteze resursele unității centrale, știind că

microprocesorul nu poate executa decât o singură operație (citirea din memoria program, citirea sau scrierea datelor, citirea sau scrierea registrelor de comandă sau de stare ale interfețelor). În sistemele de calcul mai complexe, pentru generarea semnalelor de selecție, decodificatoarele sunt înlocuite cu circuite **PAL** (Programmable Logic Array - rețele logice programabile), circuite care implementează decodificatoare cu mai multe ieșiri (decodificatoarele integrate se realizează în următoarele configurații: **1:2**, **2:4**, **3:8** și **4:16**) și o logică complexă de condiționare a decodificării.

Configurația prezentată este absolut minimală, întrucât în majoritatea sistemelor există și alte circuite, ca de exemplu: *amplificatoare de magistrală unidirecționale și bidirecționale, circuite de tip registru cu trei stări, divizoare de frecvență*, etc.

Dacă *volumul de date* ce trebuie achiziționate și prelucrate este *considerabil*, se recomandă folosirea memoriei **RAM** dinamice, care permite o mare densitate de integrare, cu prețul unei viteze ceva mai reduse (timpul de acces este redus, de ordinul **50÷70 ns**, însă sunt necesare *cicluri de reîmprospătare* la nivel de pagini de memorie, la intervale de maximum **2 ms**, pentru ca informația memorată să nu fie afectată ca integritate).

Dacă este esențială viteza iar volumul de date este mic, se preferă utilizarea memoriilor **RAM** statice.

Datorită progreselor tehnologice înregistrate în ultimii ani, numeroase firme producătoare de componente, cum ar fi **INTEL**, **AMD**, **Micron**, **Hibrid Semiconductor**, realizează memorii **SRAM** de capacitate mare în tehnologie **CMOS** (de la **2Kx8** biți până la **128Kx8** biți, **256Kx16** biți), cu timp de acces cuprins între **20** și **35 ns** și performanțe deosebite de fiabilitate și cost. De asemenea, se realizează module de memorie **SRAM**, cu capacități cuprinse între **128Kx8** biți și **256Kx32** biți. Aceste circuite de memorie **SRAM**, respectiv modulele de memorie **SRAM**, sunt ideale pentru a echipa unitățile centrale de prelucrare, din punct de vedere al vitezei de acces, siguranței în exploatare, consumului deosebit de redus și gradului mare de integrare.

Funcționarea sistemului de achiziții de date cu microprocesor este următoarea:

- microprocesorul inițializează toate circuitele din sistem;
- prin intermediul unui port de ieșire, se încarcă în registrul de selecție al canalului analogic, numărul canalului a cărui achiziție se dorește;
- dacă achiziția poate începe în orice moment, microprocesorul dă semnalul de eșantionare și de inițiere a conversiei pentru primul eșantion. Dacă trebuie așteptată trecerea prin zero sau valoarea maximă a semnalului de intrare, circuitul sesizor de zero, respectiv de vârf, va da primul impuls de eșantionare și conversie, urmând ca, după aceea, microprocesorul să preia controlul;
- convertorul va emite semnalului **READY** la sfârșitul conversiei, care poate fi folosit ca semnal de întrerupere pentru microprocesor, ca să citească codul rezultat în urma conversiei. Dacă viteza nu e factor

limitativ, microprocesorul poate citi periodic portul de intrare (modul **polling**), fiecare citire constituind totodată un nou semnal de eşantionare şi de **START CONVERSIE**;

- eşantioanele sunt depuse, după fiecare citire, în memoria **RAM**; se urmăreşte numărul eşantioanelor efectuate, cu ajutorul unui numărător extern; procesul se opreşte, atunci când s-a obţinut numărul de eşantioane dorit;
- la sfârşit, eşantioanele sunt prelucrate şi afişate rezultatele, conform programului elaborat şi stocat în memoria **EPROM**.

*Microprocesoarele* şi *microcontroller*-ele constituie resurse de comandă şi prelucrare, care sunt deosebit de utile în procesul de gestiune a achiziţiei, de preluare şi memorare a eşantioanelor rezultate în urma conversiei analog-digitale. Eficacitatea lor, în ceea ce priveşte procesul de prelucrare evoluată a eşantioanelor prelevate din proces, este mult mai redusă. Pentru o supraveghere precisă a unui proces, este, de regulă, necesară achiziţionarea unor eşantioane, care convertite în formă numerică, au lungimi de **12** sau **16** biţi. Folosirea unor algoritmi de prelucrare evoluată (filtrare numerică, analiză armonică, etc) comportă execuţia unor instrucţiuni de înmulţire, adesea în virgulă mobilă, a două cuvinte de **2** octeţi, rezultatul fiind disponibil pe un cuvânt de lungime dublă. Asemenea algoritmi pot fi cu greu implementaţi pe un *microcontroller* de **8** biţi, cu consum nejustificat de timp şi de resurse. De aceea, o soluţie modernă de a realiza prelucrări complexe asupra datelor o constă utilizarea circuitelor **DSP** (**D**igital **S**ignal **P**rocessor - procesor digital de semnal), specializate în execuţia unor astfel de instrucţiuni.

### 3.7.2 PROCESOARE DE SEMNAL: DSP

Procesoarele **DSP** sunt circuite specializate pentru prelucrarea semnalelor, permiţând lărgirea considerabilă a câmpului de aplicabilitate a tehnicilor numerice în domeniul achiziţiilor de date.

Pe lângă facilităţile extinse de operare numerică (înmulţire şi împărţire rapidă în virgulă mobilă), de cele de prelucrare numerică a semnalelor (filtrare, module, detecţie, estimare de parametri, transformări neliniare, transformare Fourier rapidă - **FFT**), aceste circuite îşi găsesc deja aplicaţii în măsurări (analize de spectru, analize de regimuri tranzitorii), în telecomunicaţii (egalizatoare adaptive, modem-uri de înaltă viteză inteligente), în prelucrarea vorbirii (recunoaşterea, transmisia şi recepţia vorbirii) şi a imaginilor (reconstituirea, compresia, prelucrarea homomorfică a imaginilor). Trebuie remarcat că toate procesoarele **DSP** sunt *unităţi microprogramate*, cu facilităţi de prelucrare în timp real a semnalelor, dispunând de resurse logice destinate dezvoltării şi punerii la punct a programelor de aplicaţii.

Pentru îmbunătăţirea performanţelor, se depun eforturi pentru:

- mărirea spaţiului de adresare (creşterea capacităţii memoriei interne



**RAM și ROM);**

- utilizarea directă a memoriei externe;
- modificarea arhitecturii de bază în vederea creării unei memorii tampon;
- utilizarea optimă a magistralei interne, în vederea accelerării transferurilor de date;
- creșterea lungimii cuvintelor pentru executarea unor instrucțiuni în virgulă flotantă;
- creșterea frecvenței de operare prin utilizarea tehnologiei **CMOS**, ce permite creșterea gradului de integrare.

### 3.7.2.1 ARHITECTURA UNUI PROCESOR DE SEMNAL

Cele mai răspândite procesoare de semnal - **DSP** - sunt cele din seria **TMS 320XX**, produse de firma **Texas Instruments**, datorită performanțelor de calcul (5 milioane de instrucțiuni pe secundă) și versatilității lor. Viteza de calcul este obținută cu ajutorul unei unități aritmetico-logice ce încorporează un circuit de înmulțire paralel de **16 x 16** biți, cu rezultatul pe **32** biți, în **200ns**. Această înaltă performanță este destinată calculelor complexe de tipul convoluției, deconvoluției și transformării Fourier rapide.

Familia de procesoare **DSP TMS 320XX** dispune de o memorie **RAM**, având capacitatea de minimum **144** cuvinte de **16** biți, capacitate suficientă pentru a executa un algoritm **FFT** în **64** de puncte.

Procesoarele din familia **TMS 320XX** posedă **8** porturi de intrare-ieșire multiplexate, ce pot suporta o viteză de transfer de **40** milioane de biți pe secundă.

Primul component al acestei familii, procesorul **TMS 32010**, se caracterizează printr-o ***arhitectură Harvard modificată*** în vederea creșterii vitezei de funcționare și a versatilității. Modificările aduse permit transferurile între spațiile de memorie de program și de date: coeficienții înscrși în memoria de program pot fi citați în memoria de date, eliminând în acest fel necesitatea existenței unei memorii de program separate pentru coeficienți.

În arhitectura oricărui procesor **DSP** se disting *două secțiuni*:

- **secțiunea operativă**, organizată în jurul unei magistrale de date, cu o lungime de **16** biți; la magistrala de date sunt conectate:
  - un ***sistem multiplicator*** de **16 x 16** biți, rezultatul înmulțirii fiind disponibil pe **32** de biți. Sistemul de multiplicare dispune de două registre: registrul **T** (*registru temporar* în care se citește din memoria **RAM** de date unul dintre operanzi) și registrul **P** (*registru rezultat*) și de *circuitul de înmulțire* propriu-zis. O înmulțire se efectuează în două cicluri, unul necesar citirii în registrul **T** a unui operand și al doilea necesar citirii în registrul acumulator a celui alt operand;
  - o ***unitate aritmetico-logică*** operând pe **32** de biți și care are asociată un *registru acumulator (RA)*, de asemenea cu lungimea de **32** de biți. Registrul **RA** este divizat în două părți: partea mai semnificativă (biții

**16÷31**) și partea mai puțin semnificativă (biții **0÷15**). Conținutul acumulatorului poate fi salvat în memorie prin două instrucțiuni succesive;

- două *circuite de deplasare* (**SHIFTER**), dintre care unul este destinat deplasării aritmetice programabile cu **0÷15** a datelor din memoria **RAM** de date, iar al doilea circuit efectuează o deplasare la stânga cu zero, cu una sau patru poziții, a părții superioare a acumulatorului;

- o *memorie RAM* de date (**DATA RAM**), cu capacitatea de **144** de cuvinte de **16** biți. Această memorie este organizată sub forma a două pagini, dintre care prima pagină conține **16**, iar cea de-a doua **128** cuvinte. Indicatorii de adrese pot fi autoincrementați sau autodecrementați, incrementul fiind egal cu unitatea;

- **secțiunea de comandă**, organizată în jurul unei magistrale de program, conținând:

- un registru denumit *contorul programului* (**PROGRAM COUNTER**) cu lungimea de **12** biți și o *stivă* (**STACK**) folosită pentru salvarea contextului programului. Registrul contor al programului conține adresa următoarei instrucțiuni din memoria de program;

- *memoria de program* (**PROM**), cu o capacitate de **1536** de cuvinte cu lungimea de **16** biți. Această memorie de program poate fi substituită cu o memorie externă de program, cu o capacitate de **4096** de cuvinte.

Această arhitectură a unui **DSP** permite funcționarea în modul *pipeline*, adică pe durata executării instrucțiunii curente, contorul programului se încarcă cu adresa următoarei instrucțiuni, instrucțiunea următoare fiind citită în paralel cu execuția instrucțiunii curente. Modul de lucru *pipeline* contribuie în mod decisiv la creșterea vitezei de lucru a procesorului.

În raport cu procesorul **TMS 32010**, cele ale următoarei generații - **TMS 32020** și **TMS 320C25** - sunt caracterizate prin următoarele modificări:

- eliminarea memoriei interne de program și înlocuirea ei cu o memorie internă **RAM**, ce poate fi încărcată cu un program de aplicație de la o sursă externă;
- procesorul dispune de **544** de cuvinte de memorie, dintre care **256** cuvinte sunt utilizabile ca memorie de program;
- este disponibilă o memorie externă adresabilă de **64 K** cuvinte de program;
- realizarea operației de înmulțire cu înlănțuire într-un singur ciclu (**170 ns**);
- există cinci indicatori ai memoriei **RAM** interne; unitatea aritmetico-logică pentru calculul adresei asociată acestor indicatori permite o indexare cu pas variabil;
- circuit divizor de frecvență, integrat în structura procesorului;
- existența unor instrucțiuni specializate, destinate aritmeticii în virgulă flotantă;
- facilități de mascare a trei rezultate, în loc de unul singur.

Realizat în tehnologie **CMOS**, procesorul **TMS 320C25** este caracterizat de:

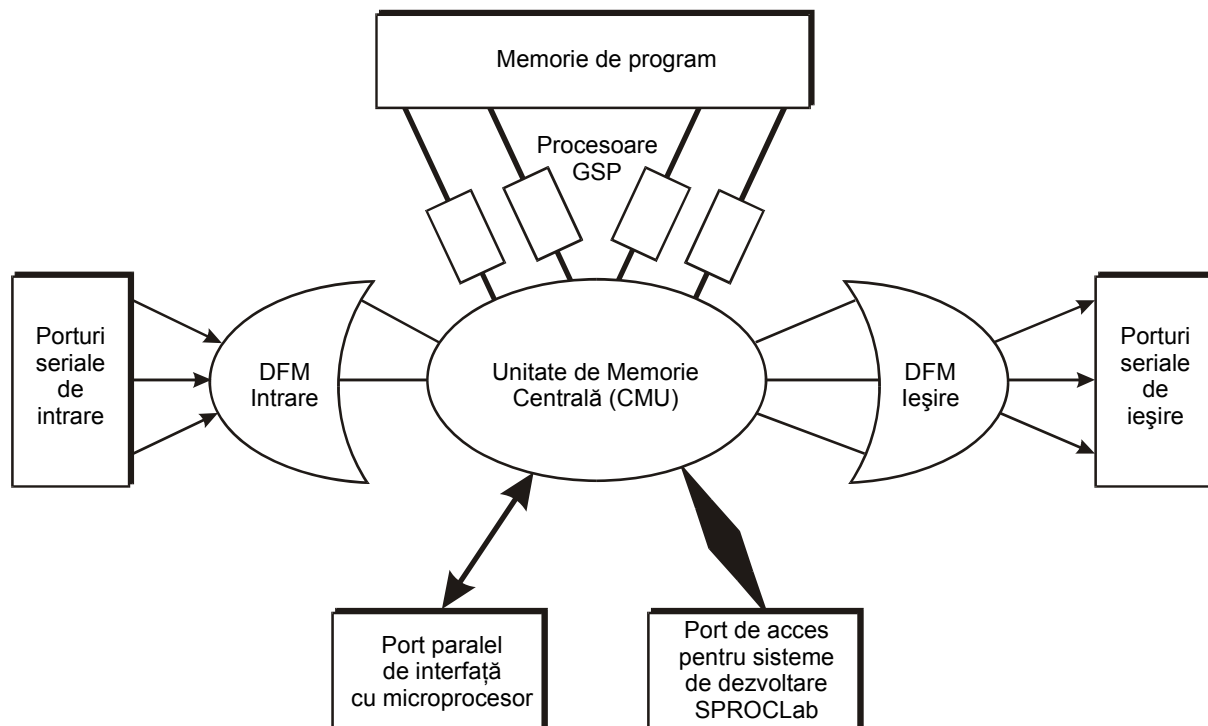
- durată unui ciclu instrucțiune de **100 ns**;
- consum energetic foarte redus;
- memorie de program (**ROM**) internă, cu capacitatea de **4K** cuvinte cu lungimea de **16 biți**;
- un număr de **8** registre auxiliare, asociate unei unități aritmetice;
- stivă pentru salvarea contextului programului, organizată pe **8** nivele;
- două circuite de memorie **RAM** internă. Unul dintre aceste circuite poate fi configurat fie ca *memorie de program*, fie ca *memorie de date*.

Creșterea vitezei și eficienței de prelucrare numerică poate fi asigurată prin utilizarea unor procesoare de semnal cu arhitectură paralelă. Procesorul de semnal **SPROC-1400** face parte din seria **SPROC-1000**, conținând memoria de program, memoria de date, logica de secvențializare și logica de interfațare cu alte procesoare. Aceste resurse sunt necesare pentru proiectarea eficientă, implementarea și testarea sistemului. Procesoarele **SPROC-1000** pot fi configurate să lucreze atât în modul **MASTER**, cât și în modul **SLAVE**, pentru interconectarea cu alte procesoare **SPROC** sau cu un microprocesor tradițional.

Principalele caracteristici ale procesoarelor **SPROC-1400** sunt:

- integrarea tuturor subsistemelor de procesare de semnale pe un singur chip;
- arhitectură de tip multiprocesor optimizată;
- bandă maximă de frecvență a semnalelor de intrare de maxim **250 kHz**;
- lungimea cuvintelor procesate de **24** de biți, cu posibilitatea de memorare pe **56** de biți;
- generator intern de ceas, cu frecvența de **50 MHz**;
- memorie **RAM** locală, reprogramabilă în mod dinamic;
- **4** porturi seriale, configurabile pentru manipularea a **8, 12, 16** sau **24** de biți de date;
- **1** port paralel, dispunând de **24** de linii, configurabil pentru manipularea unor cuvinte de date de **8, 12, 16** sau **24** de biți;
- tehnologia de realizare **CMOS** statică;
- inițializarea poate fi făcută atât intern, printr-un fișier de **16** Kocteți, cât și extern, prin folosirea unei memorii **ROM**;
- compatibilitate cu majoritatea microprocesoarelor aparținând familiilor **INTEL** și **Motorola**.

Seria de procesoare **SPROC-1000** utilizează o arhitectură cu memorie centrală optimizată (fig. 3.8) pentru procesarea concurentă a fluxurilor complexe, relaționale de date.



**Fig. 3.8** Arhitectura procesorului de semnal SPROC 1000, cu unitate de memorie centrală.

Nucleul central al acestei arhitecturi este reprezentat de memoria de date partajată, de tip multiport, denumită **CMU** (Central Memory Unit - unitate de memorie centrală).

Un număr de patru procesoare generale de semnal, **GSP** (General Signal Processor - procesor general de semnal), implementate pe chip, realizează calculele și asigură procesarea paralelă.

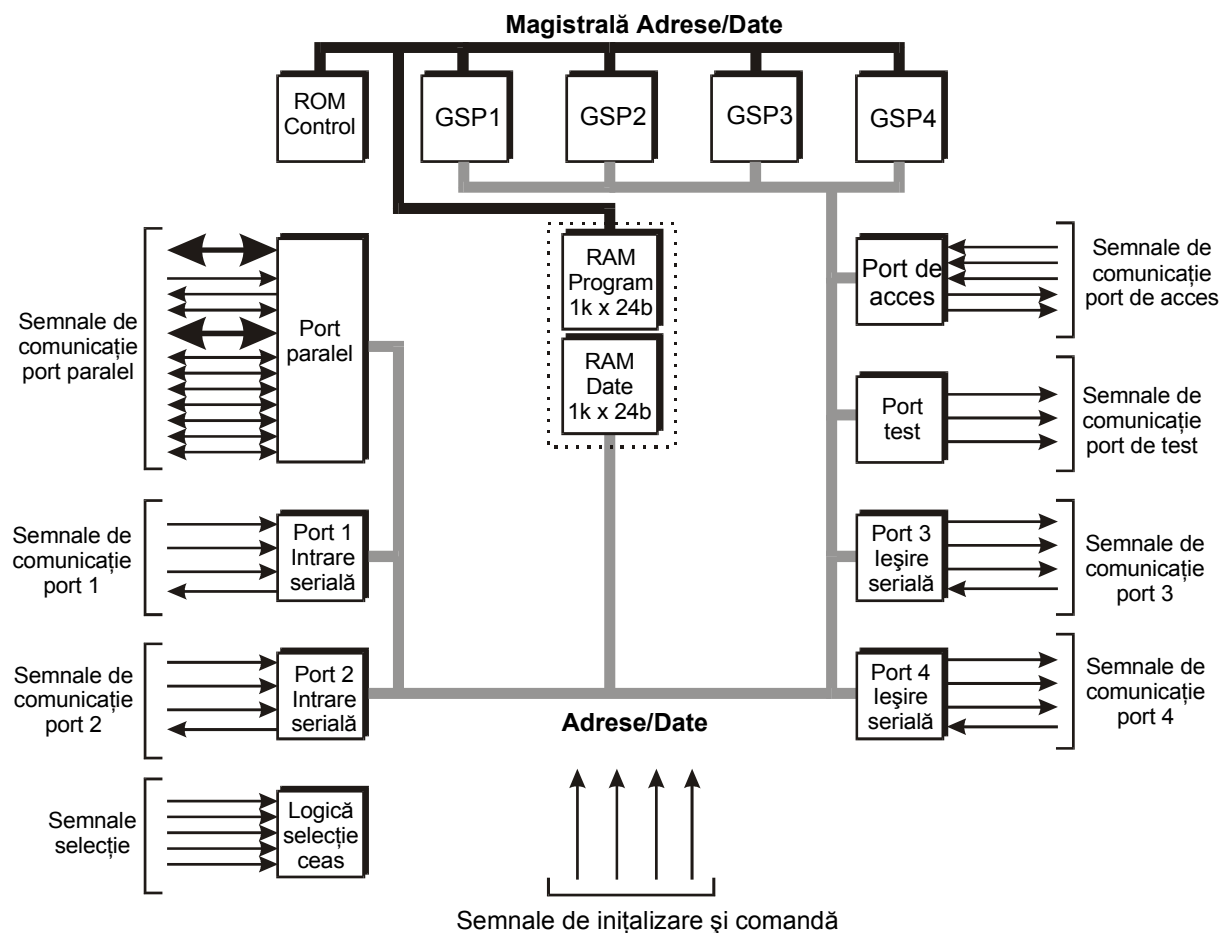
Controloarele de fluxuri de date de intrare-ieșire, **DFM** (Data Flow Manager - controlor al fluxului de date), coordonează fluxurile concurente de date, semnalele de interfață pentru canalele seriale și activează interfațarea cu un procesor extern.

Arhitectura **CMU** reprezintă o extensie de la abordarea monoprosesor la procesarea concurentă (*multiprosesor*). În locul multiplexării temporale, prin întreruperi, a unității de procesare, arhitectura **CMU** folosește mai multe procesoare și multiplexarea temporală a accesului acestora la memorie.

Accesarea multiplă a memoriei nu mai este gestionată prin întreruperi: **CMU** este un spațiu de memorie de date de tip multiport, ce utilizează o secvență compusă de perioade de acces la memorie, alocate fiecărui **GSP** sau ciclu de intrare-ieșire. Secvența de bază reprezintă un ciclu mașină al procesorului **SPROC**, respectiv cinci perioade de ceas. Perioadele 1÷4 sunt destinate procesoarelor generale de semnal, **GSP**, în vederea accesului la memorie, într-un mod secvențial bine determinat, iar cel de-al cincilea interval de timp este utilizat, prin subdivizare în 8 subintervale, pentru operații de intrare-ieșire paralele sau alte operații de intrare-ieșire.

Procesoarele **GSP** lucrează pe 24 de biți, în virgulă fixă și pot fi folosite fie

individual, fie în grup, în funcție de cerințele aplicației.



**Fig. 3.9** Structura detaliată a procesorului de semnal **SPROC-1400**.

*Controloarele de fluxuri de date* gestionează introducerea/extragerea datelor în/din unitatea centrală de memorie, fără să afecteze performanțele procesoarelor **GSP**. Controloarele **DFM** comunică cu celelalte resurse interne pe o magistrală de 24 de biți, iar cu resursele externe prin intermediul porturilor seriale programabile.

Schema bloc a procesorului de semnal **SPROC-1400** este prezentată în fig. 3.9.

### 3.7.2.2 PORTUL SERIAL SINCRON AL FAMILIEI DSP TMS320C2XX

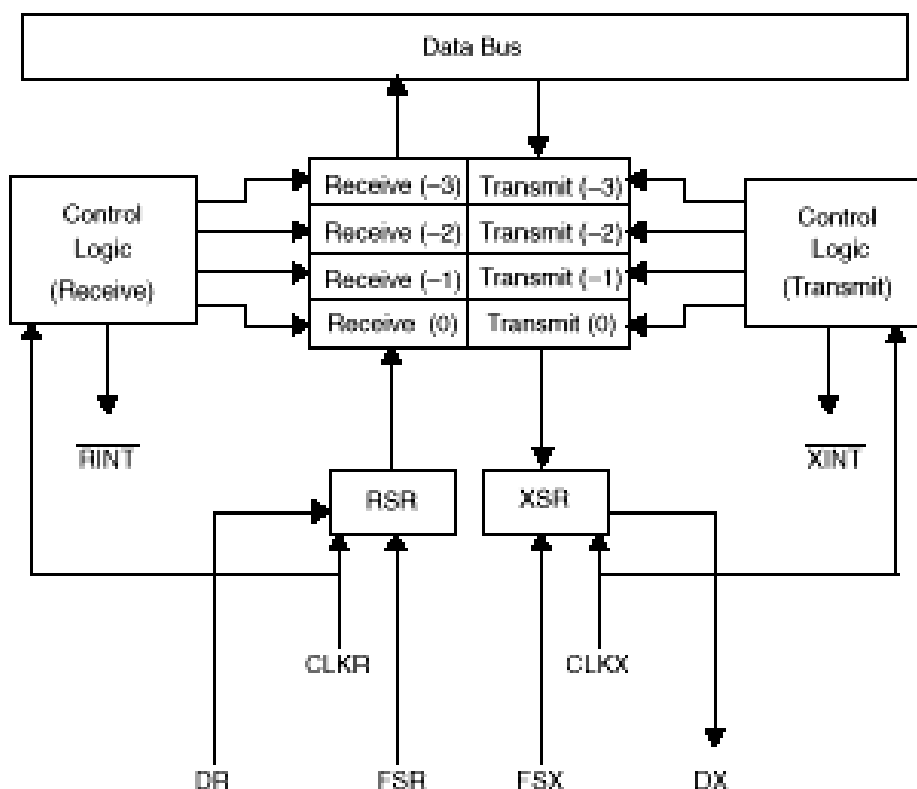
Familia de procesoare DSP **TMS320C2xx** dispune de un port serial sincron full-duplex, cu facilități de transmisie de cadre de date, suportând rate de transfer de până la 20 Mbps (pentru durata unui ciclu instrucțiune de 25 ns). Rata de transfer este jumătate din frecvența ceasului dispozitivului. Acest port serial sincron bidirecțional asigură comunicația directă cu dispozitive seriale, cum ar fi: CODEC-uri, convertoare analog-digitale seriale și alte echipamente seriale. Portul serial poate fi utilizat pentru comunicația între procesoare în cazul

sistemelor multiprocesor. Atât secțiunea de transmisie, cât și cea de recepție, a portului serial dispun de un buffer sau memorie FIFO organizate pe 4 nivele de adâncime, permițând unității centrale de prelucrare să accepte întreruperi de la oricare din aceste nivele. Această facilitate înseamnă intervenția mai redusă a unității centrale de prelucrare, ca și creșterea flexibilității și eficienței transmisiilor de date.

Portul serial sincron al familiei **TMS320C2xx** are următoarele caracteristici:

- port serial sincron full-duplex, cu facilități de transmisie de cadre de date;
- buffer cu capacitatea de 4 cuvinte x 16 biți, pentru reducerea overhead-ului rutinelor de tratare a întreruperilor;
- port serial flexibil, eficient și de înaltă performanță;
- asigură rate de transfer de 20 Mbps, pentru durata unui ciclu instrucțiune de 25 ns;
- asigură rate de transfer de 14,28 Mbps, pentru durata unui ciclu instrucțiune de 35 ns;
- asigură rate de transfer de 10 Mbps, pentru durata unui ciclu instrucțiune de 50 ns;
- rata de transfer este jumătate din frecvența ceasului unității centrale de prelucrare.

Toate dispozitivele din familia **TMS320C2xx**, cu excepția circuitului **TMS329C209**, dispun de acest tip de port serial sincron. Fig. 3.10 ilustrează organizarea portului serial sincron al procesoarelor DSP **TMS320C2xx**.



**Fig. 3.10** Portul serial sincron al familiei de procesoare **TMS320C2xx**.

### **3.7.2.3 PORTUL SERIAL ASINCRON AL FAMILIEI DSP TMS320C2XX**

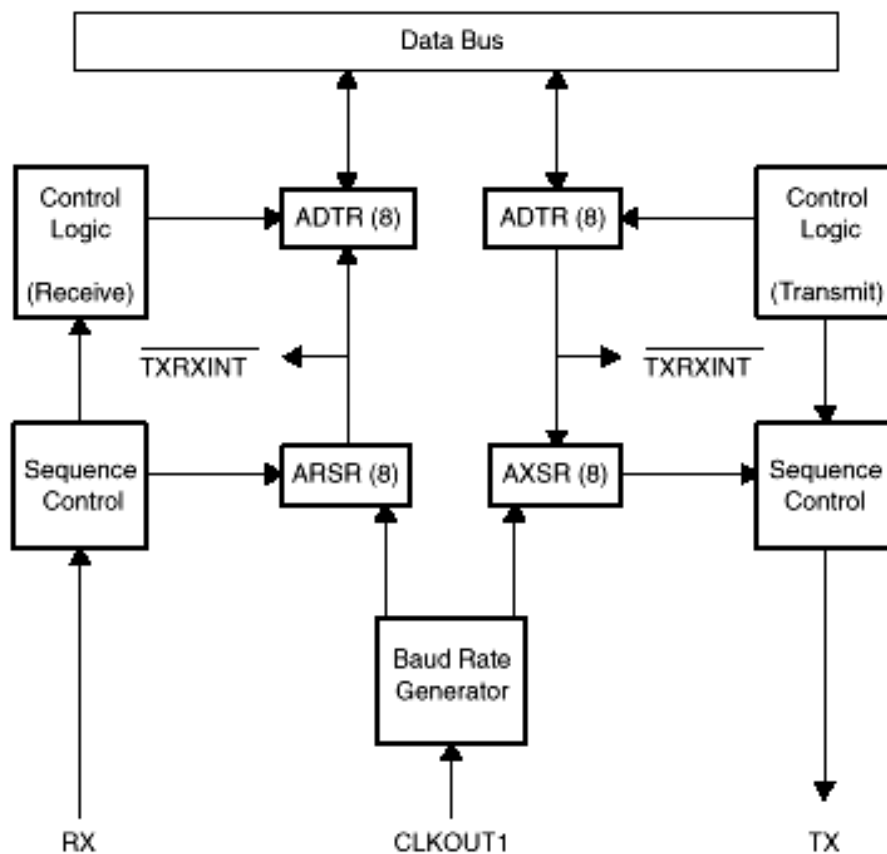
Familia de procesoare de semnal **TMS320C2xx** dispune de un port serial asincron, full-duplex și dublu buffer-at. Acesta manipulează cuvinte de date cu lungimea de 8 biți și poate fi programat prin intermediul unui registru să accepte rate de comunicație de până la 2,5 Mbps. Portul serial asincron poate fi utilizat pentru comunicația cu alte dispozitive, cum ar fi microcontroller-e, prin conectare de tip RS-232 care suportă rate de transfer de date de până la 115,2 kbps.

Caracteristicile portului serial asincron al familiei de procesoare DSP **TMS320C2xx** sunt:

- port serial asincron full-duplex;
- portul serial dispune de o dublă buffer-are;
- portul serial permite transferuri de date de 8 biți;
- programarea ratei de transfer prin intermediul unui registru de 16 biți;
- portul serial asigură rate de transfer de 2,5 Mbps, pentru durata unui ciclu instrucțiune de 25 ns.

Toate dispozitivele din familia **TMS320C2xx**, cu excepția circuitului **TMS329C209**, dispun de acest tip de port serial asincron.

Fig. 3.11 ilustrează organizarea portului serial asincron al procesoarelor DSP **TMS320C2xx**.



**Fig. 3.11** Portul serial asincron al familiei de procesoare **TMS320C2xx**.